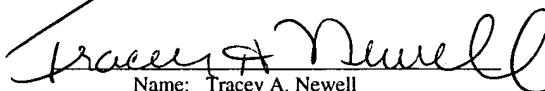


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: :
Mototsugu OKUSHIMA :
 :
Application No.: To be assigned : Art Unit: To be assigned
 :
Filed: December 22, 2003 : Examiner: To be assigned
 :
For: **ELECTROSTATIC DISCHARGE DEVICE** : Docket No.: NEM-05201

Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on this date of December 22, 2003.



Name: Tracey A. Newell
Express Mail Label: EV 325286293 US

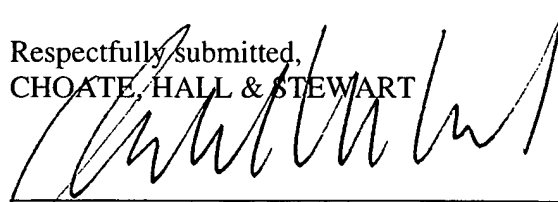
SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Attached hereto is Japanese Application No. 2002-373082, filed December 24, 2002, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-248-4038.

Respectfully submitted,
CHOATE, HALL & STEWART



Donald W. Muirhead
Reg. No. 33,978

December 22, 2003
Date

Patent Group
Choate, Hall & Stewart
53 State Street, Exchange Place
Boston, MA 02109
617-248-5000

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 4 日
Date of Application:

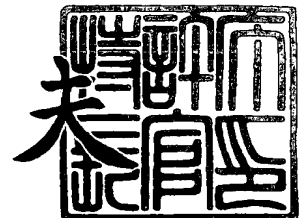
出 願 番 号 特 願 2 0 0 2 - 3 7 3 0 8 2
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 3 0 8 2]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 9 7 0 0

【書類名】 特許願
【整理番号】 74112761
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
H01L 21/822
H01L 21/8238

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 奥島 基嗣

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気保護素子及び半導体装置

【特許請求の範囲】

【請求項 1】 いずれも一導電型の半導体基板の一主面側に形成された、前記一導電型に対し逆導電型の M 個（但し、 M は 2 以上の整数）の第 1 ウェル領域と、隣り合う前記第 1 ウェル領域の間に形成された前記一導電型の第 2 ウェル領域とを有し、更に、

M 個の前記第 1 ウェル領域はいずれも各々の内部に形成された前記逆導電型の第 1 拡散領域及び前記一導電型の第 2 拡散領域を備えると共に、少なくとも一つの前記第 2 ウェル領域がその中に形成された前記一導電型の第 3 拡散領域を備え、
 j 番目（但し j は、 $1 \leq j \leq (M-1)$ の整数）の前記第 1 ウェル領域内の前記第 1 拡散領域が $(j+1)$ 番目の前記第 1 ウェル領域内の前記第 2 拡散領域に接続され、1 番目の前記第 1 ウェル領域内の前記第 2 拡散領域が第 1 端子に接続され、 M 番目の前記第 1 ウェル領域内の前記第 1 拡散領域が第 2 端子に接続され、所望の被保護端子と放電端子の一方に前記第 1 端子が他方に前記第 2 端子がそれぞれ接続されることを特徴とする静電気保護素子。

【請求項 2】 いずれも一つの p 型半導体領域の一主面側に形成された、 n 型の M 個（但し、 M は 2 以上の整数）の第 1 ウェル領域、及び隣り合う前記第 1 ウェル領域の間に形成された p 型の第 2 ウェル領域を有し、更に、

M 個の前記第 1 ウェル領域はいずれも各々の内部に形成された n 型の第 1 拡散領域及び p 型の第 2 拡散領域を備えると共に、少なくとも一つの前記第 2 ウェル領域がその中に形成された p 型の第 3 拡散領域を備え、

j 番目（但し j は、 $1 \leq j \leq (M-1)$ の整数）の前記第 1 ウェル領域内の前記第 1 拡散領域が $(j+1)$ 番目の前記第 1 ウェル領域内の前記第 2 拡散領域に接続され、1 番目の前記第 1 ウェル領域内の前記第 2 拡散領域が第 1 端子に接続され、 M 番目の前記第 1 ウェル領域内の前記第 1 拡散領域が第 2 端子に接続され、所望の被保護端子と放電端子の一方に前記第 1 端子が、他方に前記第 2 端子がそれぞれ接続されることを特徴とする静電気保護素子。

【請求項 3】 前記一導電型が p 型である請求項 1 記載の静電気保護素子。

【請求項 4】 前記第 3 拡散領域が、前記第 1 端子に接続された前記第 2 拡散領域を含む 1 番目の前記第 1 ウェル領域である最高電位第 1 ウェル領域と隣り合う前記第 1 ウェル領域との間に形成された前記第 2 ウェル領域の内部のみに形成されている請求項 2 又は 3 に記載の静電気保護素子。

【請求項 5】 前記第 2 ウェル領域が、隣り合う前記第 1 ウェル領域の間では単一領域で形成され、前記第 3 拡散領域は隣り合う前記第 1 ウェル領域の間で互いに離間した複数の領域に分割されている請求項 1 乃至 4 いずれか 1 項に記載の静電気保護素子。

【請求項 6】 前記第 2 ウェル領域が、隣り合う前記第 1 ウェル領域の間で互いに離間した複数の領域に分割されている請求項 1 乃至 4 いずれか 1 項に記載の静電気保護素子。

【請求項 7】 前記第 2 ウェル領域及び前記第 3 拡散領域が、隣り合う前記第 1 ウェル領域の間では単一領域で形成されている請求項 4 記載の静電気保護素子。

【請求項 8】 通常動作時において、所望の被保護端子と放電端子の間に印加される最大電圧及び前記被保護端子と前記放電端子の間で許容される最大リーク電流規格値をそれぞれ V_x 及び I_f とし、前記第 1 ウェル領域と前記第 2 拡散領域からなるダイオードに電流値 I_f の電流を順方向に流したときの前記第 1 ウェル領域と前記第 2 拡散領域との間の電位差を V_f とし、 n を任意の整数としたとき、前記 M は、

$$|V_x| < n \times |V_f|$$

を満足する最小の n である請求項 1 乃至 7 いずれか 1 項に記載の静電気保護素子。

【請求項 9】 前記第 1 拡散領域と前記第 2 拡散領域との間に浅溝分離領域を有する請求項 1 乃至 8 いずれか 1 項に記載の静電気保護素子。

【請求項 10】 一つの前記第 1 ウェル領域内に形成された前記第 1 拡散領域と前記第 2 拡散領域との間の前記半導体基板内部領域には、絶縁膜が形成されていない請求項 1 乃至 8 いずれか 1 項に記載の静電気保護素子。

【請求項 11】 一つの前記第 1 ウェル領域内に形成された前記第 1 拡散領

域と前記第2拡散領域との間の前記半導体基板表面上に、絶縁膜を介して所定の電極材料膜が形成された請求項10記載の静電気保護素子。

【請求項12】 少なくとも一つの前記第3拡散領域が、金属配線により所定の電位の電源配線と接続された請求項1乃至11いずれか1項に記載の静電気保護素子。

【請求項13】 請求項1乃至12いずれか1項に記載の静電気保護素子が接続された外部接続端子を少なくとも一つ有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置（以下、LSIとする）を静電気放電（Electrostatic Discharge（ESD））から保護する静電気保護素子に関し、特にLSIを高速動作させるために用いられる微細トランジスタ等の破壊耐量が低いデバイスを保護する静電気保護素子に関する。

【0002】

【従来の技術】

近年、LSIの高速化、高集積化の著しい進展に伴い、素子の微細化、特に電界効果トランジスタ（以下、MOSTrとする）のゲート絶縁膜の薄膜化が急速に進んでいるため、被保護デバイスであるMOSTrのゲート絶縁膜が破壊するより低い電圧でESD保護回路が動作する必要がある。しかも、このときLSIの高速動作性能への影響を抑制するために、ESD保護回路により被保護デバイスに付加される浮遊容量を抑制する必要がある。付加される浮遊容量を抑制するには、ESD保護回路を構成する保護素子のサイズを小さくする必要があるが、保護素子のサイズを小さくすると、ESDノイズにより保護素子自身も損傷しやすくなるという問題がある。

【0003】

被保護デバイスの破壊を防止すると共に保護素子自身の損傷も回避できるESD保護回路の従来例として、例えば特許文献1に開示された保護回路がある。図14は特許文献1に開示された保護回路の図である。図14を参照すると特許文

献1に開示された保護回路600は、電界効果トランジスタ607のゲート606に接続された入力端子VIN601と高電位側電源端子VDD602との間に、アノードとカソードをそれぞれ入力端子VIN601と電源端子VDD602に接続した第1のダイオード604と電源端子VDD602側から入力端子VIN601側に向けて順方向となるように複数のダイオードを直列に接続した第1のダイオード群608を備え、入力端子VIN601と低電位側電源端子VSS603との間に、アノードとカソードをそれぞれ電源端子VSS603と入力端子VIN601に接続した第2のダイオード605と入力端子VIN601側から電源端子VSS603側に向けて順方向となるように複数のダイオードを直列に接続した第2のダイオード群609を備えて構成されている。

【0004】

又、ESD破壊耐量が低い素子を保護するための低電圧で動作する従来のESD保護回路としては、例えば特許文献2に開示された入力保護回路や特許文献3に開示されたESD保護装置がある。図15は特許文献2に開示された入力保護回路の図で、(a)は回路図、(b)は(a)の模式的な断面構造を示す断面図である。図15を参照すると、特許文献2に開示された入力保護回路700は、nチャネルMOSTr(以下、NMOSとする)711のドレイン(D)が入力端子VINに接続され、そのソース(S)及びゲート(G)は共通接続され、このソース(S)とゲート(G)はグランド(GND)に接続されている。一方、pチャネルMOSTr(以下、PMOSとする)712のドレイン(D)は入力端子VINに接続され、そのソース(S)とゲート(G)は共通接続された状態で電源VDDに接続されている。電源VDDと入力端子VINの間には、ダイオード781が $n3 + n4$ 個直列接続して順方向に挿入され、これらを $n3$ 個と $n4$ 個に分割する接続点はPMOS712の基板(SB)に接続されている。更に、入力端子VINとGNDの間には、ダイオード781が $n1 + n2$ 個直列接続して順方向に挿入され、これらを $n1$ 個と $n2$ 個に分割する接続点はNMOS711の基板(SB)に接続されている。尚、ダイオードの個数は、例えば、 $n1$ 個と $n2$ 個のダイオード781の使用個数の場合、以下のようにして決定される。即ち、電源電圧がVdd、入力端子VINに印加される入力電圧Vinが $0 \leq V_{in} \leq V_{dd}$ のとき、

1 個のダイオードの順方向電圧を V_f とすれば、

$$V_{dd} / (n_1 + n_2) < V_f \quad \dots\dots\dots (1)$$

を満たすように設定する。この設定は、 n_3 個と n_4 個のダイオード 781 についても同様である。(1) 式は、通常動作時にダイオードを通じて流れるリーク電流を抑えるための条件である。通常動作時には、 $n_1 + n_2$ 個のダイオード 781 の両端には、最大で V_{dd} の電圧が加わるため、各ダイオードに分配された電圧 $V_{dd} / (n_1 + n_2)$ が、各ダイオードの順方向電圧 V_f に比べて小さければリークは抑えられることになる。例えば、電源電圧が 3.3 V の場合、順方向電圧 V_f を 0.33 V とすれば、(1) 式から $V_{dd} / V_f < n_1 + n_2$ であるので、 $n_1 + n_2 > 10$ ($= 3.3 / 0.33$) となる。従って、 n_1 を 10 個、 n_2 を 1 個にする。この場合、通常動作時の入力電圧 V_{in} は 0 V と 3.3 V の間にあるため、 n_1 個のダイオード 781 と n_2 個のダイオード 781 の接続点の電位、即ち NMOS 711 の基板電位 (SB 電位) は、 $n_1 + n_2$ 個のダイオード 781 で分配された 0 V と 0.3 V の間で変化する。

【0005】

このような構成により、入力端子 V_{IN} に印加された入力電圧 V_{in} に応じて PMOS 712 又は NMOS 711 の基板 (SB) が順方向にバイアスされるので、基板 (SB) が順方向にバイアスされた側の MOS Tr のスナップバックのトリガー電圧 V_{t1} を低下させることができ、過電圧の入力に対して内部素子のゲート酸化膜の破壊を防止できるようにしている。

【0006】

尚、(b) は (a) に示した入力保護回路の断面構造を示す。ここでは、NMOS 711 と n_1 個と n_2 個のダイオード 781 により構成される回路部分、及び PMOS 712 と n_3 個と n_4 個のダイオード 781 により構成される回路部分は、MOS Tr 部分の不純物の導電型、バイアスが異なるのみで、これ以外の構造や動作は対称的な関係にあり、基本的に同じであるため、NMOS 711 とこれにかかわる回路についてのみ図示している。

【0007】

図 16 は本発明者による特許文献 3 に開示された ESD 保護装置の図で、(a

)は回路図、(b)は(a)の模式的な断面構造を示す断面図である。図16を参照すると、このESD保護装置800は入力バッファ保護回路として動作するもので、半導体集積回路チップの入力端子(入力パッド)806と例えばCMOS (Complementary Metal Oxide Semiconductor) トランジスタ880との間に設けられ、入力端子806に印加された過電圧によって導通するダイオード群851, 852を有するトリガ素子850と、ダイオード群851, 852が導通することによって導通し入力端子806の蓄積電荷を放電する縦型バイポーラトランジスタ821, 822を有するESD保護素子820とを備えている。そして、ダイオード群851, 852は複数のダイオードが直列に接続されたものであり、過電圧はダイオード群851, 852にとって順方向電圧である。尚、ダイオード群851, 852は、(a)では4個のダイオードが直列に接続されたものとして示しているが、(b)では2個のダイオードが直列に接続されたものとして便宜上簡略化して示している。

【0008】

ダイオード群851は、初段のカソードが縦型バイポーラトランジスタ821のベースに接続され、最終段のアノードが入力端子806に接続されている。ダイオード群852は、最終段のカソードが縦型バイポーラトランジスタ822のベースに接続され、初段のアノードが電源端子807に接続されている。ダイオード群851の最終段のカソードとグランド端子808との間には、抵抗833が接続されている。ダイオード群852の最終段のカソードと入力端子806との間には、抵抗834が接続されている。

【0009】

縦型バイポーラトランジスタ821, 822は、どちらもNPN型である。縦型バイポーラトランジスタ821は、コレクタが入力端子806に接続され、エミッタがグランド端子808に接続されている。縦型バイポーラトランジスタ822は、コレクタが電源端子807に接続され、エミッタが入力端子806に接続されている。抵抗833, 834は、同じ半導体集積回路チップ内に形成された単結晶シリコン、多結晶シリコン又は金属等からなる。ダイオード群851, 852は、通常のCMOSプロセス時に形成されるN⁺拡散層801、P⁺拡散層

802及びNウェル805などで形成する。

【0010】

このESD保護装置は、ダイオード群851, 852の導通によって流れるトリガ電流が抵抗833, 834を流れるときの電圧降下により、縦型バイポーラトランジスタ821, 822のベース電位を上昇させて、縦型バイポーラトランジスタ821, 822をオンにする。これにより、入力端子806に蓄えられた静電気による大量の電荷を、シリコン基板の縦方向に放電させ、大きなESD耐量を得ている。

【0011】

【特許文献1】

特開昭63-81845号公報 (p 2、第1図)

【特許文献2】

特開2001-148460号公報 (p 5, 6、図8, 9)

【特許文献3】

特開2002-43533号公報 (p 12, 13、図26, 27)

【0012】

【発明が解決しようとする課題】

特許文献1に開示された保護回路は、複数のダイオードを直列に接続したダイオード群を用い、被保護端子に印加されたESDノイズをダイオードの順方向電流で高電位側電源端子或いは低電位側電源端子等の放電端子に放電させるようにしているので保護素子の損傷は防止できるが、複数のダイオードを直列に接続したときの順方向オン抵抗がかなりの大きさになり、放電電流の増加に伴って被保護端子と放電端子との間の電位差が急激に大きくなるため、ESD耐量の低下している最近の被保護デバイスの保護に適用するのは問題がある。

【0013】

この問題を解決する手段の一つとして、ダイオード群と並列に他の電流経路が形成されるように静電気保護素子を構成することが考えられる。図17は、その一例として、ダイオード群を構成する各ダイオードを近接して配置し、ダイオード群に順方向電流が流れるときの寄生効果を用いるようにした例を示す図で、(

a), (b) はそれぞれ模式的な平面図と, (a) の R-R' 線に沿った矢視断面を示す模式的な断面図である。この静電気保護素子 900 は、いずれも p 型シリコン基板 903 の主面に形成された n ウェル領域 910, n ウェル領域 920 及び n ウェル領域 930 と、これら全体を囲繞する p ウェル領域 940 を有し、更に n ウェル領域 910 の内部には n 型拡散領域 911 及び p 型拡散領域 915 が形成され、n ウェル領域 920 の内部には n 型拡散領域 921 及び p 型拡散領域 925 が形成され、n ウェル領域 930 の内部には n 型拡散領域 931 及び p 型拡散領域 935 が形成され、p ウェル領域 940 の内部には p 型拡散領域 945 が形成されている。そして、p 型拡散領域 915 と第 1 端子 901, n 型拡散領域 911 と p 型拡散領域 925, n 型拡散領域 921 と p 型拡散領域 935, 及び n 型拡散領域 931 と第 2 端子 902 がそれぞれ接続される。従って、この静電気保護素子 900 は、n ウェル領域 910 と p 型拡散領域 915 で形成される第 1 ダイオード D1 と、n ウェル領域 920 と p 型拡散領域 925 で形成される第 2 ダイオード D2 と、n ウェル領域 930 と p 型拡散領域 935 で形成される第 3 ダイオード D3 を、第 1 端子 901 と第 2 端子 902 の間に順方向に直列接続した構成となっている。尚、p 型拡散領域 945 は、通常この静電気保護素子 900 が搭載される LSI の最低電位電源に接続される。

【0014】

この静電気保護素子 900 の第 1 端子 901 と第 2 端子 902 の間の第 1 端子 901 側が正となる ESD ノイズが印加されたときの電圧-電流特性は、図 18 の「寄生 NPN Tr が動作した場合」のグラフのようになる。即ち、この場合の放電経路は、最初は 3 個の直列接続された第 1 ダイオード D1 乃至第 3 ダイオード D3 を介して第 2 端子 902 に放電されるのみであるが、第 1 端子 901 と第 2 端子 902 の間の電圧がある程度まで上昇（この例では、ほぼ 1.75 V）すると、n ウェル領域 910, n ウェル領域 920 及び p 型シリコン基板 903 で構成される寄生 NPN トランジスタ（以下、寄生 NPN Tr とする）991 と n ウェル領域 920, n ウェル領域 930 及び p 型シリコン基板 903 で構成される寄生 NPN Tr 993 がオンしダイオード群と並列に放電経路が形成されるので両端子間の電圧上昇が抑制されている。しかし、この静電気保護素子 900 では、

E S D ノイズによる保護動作が生じると、図 18 から分かるように第 1 端子 901 と第 2 端子 902 の間でラッチアップが発生するスナップバック電圧、及びラッチアップの保持電圧が極めて低く（この例では、それぞれ 1.75 V、及び 1.1 V 程度）、通常動作時の電源電圧が 1 V 程度以上の L S I には適用できない。

【0015】

又、特許文献 2 の入力保護回路や特許文献 3 の E S D 保護装置のように、E S D 保護素子と並列にダイオード群を設けて、ダイオード群をトリガ素子として用いる方法がある。即ち、特許文献 2 の入力保護回路や特許文献 3 の E S D 保護装置は、順方向ダイオードを電源電圧以上になるように多段接続したダイオード群を被保護端子と放電端子との間に E S D 保護素子と並列に挿入し、このダイオード群を E S D 保護素子のトリガ素子として用いることで低電圧での保護動作を行わせることで、ダイオードの順方向オン抵抗（放電能力）の問題を回避している。しかし、このような構成では、ダイオード群の他に E S D 保護素子が必要であり E S D 保護回路の所要面積が大きくなるという問題がある。又、これらのダイオード群は図 15（b）、16（b）に示されるように各ダイオードが p 型基板上に近接して且つ隣り合うダイオードの N ウェル間（図 15（b）では N ウェル 791 の間、図 16（b）では N ウェル 805 の間）の p 型不純物濃度を変える等の処置を施すことなく配置されているので、静電気保護素子 900 の場合と同様入力端子 V_{IN} に印加されるノイズ等によりラッチアップを生じやすくなるという問題もある。

【0016】

従って、本発明の目的は、低電圧で被保護デバイスの保護動作が可能、従って E S D 耐量の小さい被保護デバイスを E S D ノイズから保護することができ、且つ付加される浮遊容量を抑制すると共に実使用状態でラッチアップの発生を抑制できる静電気保護素子を提供することにある。

【0017】

【課題を解決するための手段】

そのため、本発明による静電気保護素子は、いずれも一導電型の半導体基板の

一主面側に形成された、前記一導電型に対し逆導電型のM個（但し、Mは2以上の整数）の第1ウェル領域と、隣り合う前記第1ウェル領域の間に形成された前記一導電型の第2ウェル領域とを有し、更に、

M個の前記第1ウェル領域はいずれも各々の内部に形成された前記逆導電型の第1拡散領域及び前記一導電型の第2拡散領域を備えると共に、少なくとも一つの前記第2ウェル領域がその中に形成された前記一導電型の第3拡散領域を備え、
j番目（但しjは、 $1 \leq j \leq (M-1)$ の整数）の前記第1ウェル領域内の前記第1拡散領域が（j+1）番目の前記第1ウェル領域内の前記第2拡散領域に接続され、1番目の前記第1ウェル領域内の前記第2拡散領域が第1端子に接続され、M番目の前記第1ウェル領域内の前記第1拡散領域が第2端子に接続され、
所望の被保護端子と放電端子の一方に前記第1端子が他方に前記第2端子がそれぞれ接続されることを特徴とする。

【0018】

又、本発明の他の静電気保護素子は、いずれも一つのp型半導体領域の一主面側に形成された、n型のM個（但し、Mは2以上の整数）の第1ウェル領域、及び隣り合う前記第1ウェル領域の間に形成されたp型の第2ウェル領域を有し、更に、

M個の前記第1ウェル領域はいずれも各々の内部に形成されたn型の第1拡散領域及びp型の第2拡散領域を備えると共に、少なくとも一つの前記第2ウェル領域がその中に形成されたp型の第3拡散領域を備え、

j番目（但しjは、 $1 \leq j \leq (M-1)$ の整数）の前記第1ウェル領域内の前記第1拡散領域が（j+1）番目の前記第1ウェル領域内の前記第2拡散領域に接続され、1番目の前記第1ウェル領域内の前記第2拡散領域が第1端子に接続され、M番目の前記第1ウェル領域内の前記第1拡散領域が第2端子に接続され、
通常動作時において所望の被保護端子と放電端子の一方に前記第1端子が、他方に前記第2端子がそれぞれ接続されることを特徴とする。

【0019】

このとき、前記第1端子に接続された前記第2拡散領域を含む1番目の前記第1ウェル領域を最高電位第1ウェル領域として、この最高電位第1ウェル領域と

隣り合う前記第1ウェル領域との間に形成された前記第2ウェル領域の内部のみに、前記第3拡散領域が形成されている構成としてもよい。

【0020】

又、前記第2ウェル領域が、隣り合う前記第1ウェル領域の間では単一領域で形成され、前記第3拡散領域は隣り合う前記第1ウェル領域の間で互いに離間した複数の領域に分割されている構成とすることもできる。

【0021】

或いは、前記第2ウェル領域が、隣り合う前記第1ウェル領域の間で互いに離間した複数の領域に分割されている構成としてもよい。

【0022】

又、通常動作時において、所望の被保護端子と放電端子の間に印加される最大電圧及び前記被保護端子と前記放電端子の間で許容される最大リーク電流規格値をそれぞれ V_x 及び I_f とし、前記第1ウェル領域と前記第2拡散領域からなるダイオードに電流値 I_f の電流を順方向に流したときの前記第1ウェル領域と前記第2拡散領域との間の電位差を V_f とし、 n を任意の整数としたとき、前記第1ウェル領域の数 M は、

$$|V_x| < n \times |V_f|$$

を満足する最小の n とするのが望ましい。

【0023】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

図1は、本発明の静電気保護素子の一実施形態を示す図で、(a)は模式的な平面図、(b)は(a)におけるP部の模式的な詳細平面図、(c)及び(d)は(a)におけるQ1-Q1'線に沿った矢視断面及び(b)におけるQ2-Q2'線に沿った矢視断面をそれぞれ模式的に示す断面図、(e)は(a)の模式的な等価回路図である。尚、以下では、半導体基板をシリコン基板、一導電型をp型、逆導電型をn型として説明する。又、同一導電型の場合、拡散領域の不純物濃度はウェル領域の不純物濃度よりも十分高いものとする。

【0024】

図1を参照すると、本実施形態の静電気保護素子100は、一導電型の半導体基板であるp型シリコン基板3の素子が形成される主面上で互いに直交する2方向をX方向及びY方向としたとき、例えばX方向の直線に沿って互いに離間して配置・形成されたM（Mは2以上の整数）個の逆導電型の第1ウェル領域であるnウェル領域nWと、隣り合うnウェル領域nWの間に形成された一導電型の第2ウェル領域であるpウェル領域pWとを有し、更に、M個のnウェル領域nWが各々の内部に形成された逆導電型の第1拡散領域であるn型拡散領域nDと一導電型の第2拡散領域であるp型拡散領域pD1を、又pウェル領域pWがその中に形成された一導電型の第3拡散領域であるp型拡散領域pD2を、それぞれ備え、

j番目（但しjは、 $1 \leq j \leq (M-1)$ の整数）のnウェル領域nW内のn型拡散領域nDが（j+1）番目のnウェル領域10内のp型拡散領域pD1に接続され、1番目のnウェル領域nW内のp型拡散領域pD1が第1端子1に接続され、M番目のnウェル領域nW内のn型拡散領域nDが第2端子2に接続され、所望の被保護端子（図示せず）と放電端子（図示せず）の一方に第1端子1が、他方に第2端子2がそれぞれ接続される。又、本実施形態では、一つのpウェル領域pW内に複数のp型拡散領域pD2が互いに離間して形成されている。

【0025】

尚、通常は他の素子との相互干渉を避けるため、M個のnウェル領域nWを全て囲繞するpウェル領域pGWとこの内部に形成されたp型拡散領域pGDとを更に備え、p型拡散領域pGDが当該LSIの最低電位電源VSSと接続されている。

【0026】

上記構成により、各nウェル領域nWは内部に形成されたn型拡散領域nD及びp型拡散領域pD1をそれぞれカソード及びアノードとするダイオードを構成しており、等価回路は図1（e）のようになる。即ち、j番目（但しjは、 $1 \leq j \leq (M-1)$ の整数）のダイオードDjのカソード（K）が（j+1）番目のダイオードD(j+1)のアノード（A）に接続され、1番目のダイオードD1のアノードが第1端子1に接続され、M番目のダイオードDmのカソードが第2端子2に接続されている。

【0027】

ここで、Mの設定方法について説明する。基本的には、静電気保護素子100が接続される被保護端子と放電端子との間で許容されるリーク電流を I_{f0} 、上記各nウェル領域nWで構成されるダイオードに順方向電流 I_{f0} を流したときの順方向電圧を V_f 、通常動作時に被保護端子と放電端子との間に生じる最大の電位差を V_x としたとき、

$$|V_x| < N \times |V_f|$$

を満足する整数Nの中で最小のものをMとすればよい。これにより、各ダイオードに印加される順方向電圧は V_f 未満となるので、静電気保護素子100を接続しても所定の規格値を超えるリーク電流が流れることはなく、無用の消費電力の増加を防止することができる。

【0028】

又、本実施形態の静電気保護素子100は、隣り合うnウェル領域nWの間に、pウェル領域pW及びその内部に複数の互いに離間したp型拡散領域pD2が設けられているで、隣り合うnウェル領域nWの間の電位差がある程度大きくなると、隣り合うnウェル領域nW及びp型シリコン基板3で構成される寄生NPNT_rがオンして電流経路が形成されるが、隣り合うnウェル領域nWの間がp型シリコン基板3のみ或いはpウェル領域pWのみの場合に比べるスナップバック電圧は大きくなっている。図2はこの様子を説明する、静電気保護素子の模式的な電圧-電流特性グラフである。グラフA、B、及びCは、それぞれ各nウェル領域の周囲にガードリングが設けられ低電位側電源VSSに接続されている場合、隣り合うnウェル領域nW間がp型シリコン基板3のみ或いはpウェル領域pWのみの場合、及び隣り合うnウェル領域nWの間にpウェル領域pW及び部分的にp型拡散領域pD2が設けられている場合に対応するグラフである。即ち、グラフAはESDノイズを直列接続されたダイオード群の順方向電流のみで放電させる場合に該当し、グラフB及びCは直列接続されたダイオード群の順方向電流及び寄生効果による電流経路で放電させる場合に該当する。又、グラフBではESDノイズによりラッチアップが生じると、ラッチアップの保持電圧及び保持電流の双方が、制限電圧及び制限電流より小さく、ESDノイズが無くなってもラッチアップ現象が解消されず通常動作に復帰できなかったり、スナップバック電圧が小さいためラッチア

ップ耐量が小さく、即ち通常動作時のノイズでラッチアップを生じやすく、動作が不安定になる。(尚、前述の制限電圧及び制限電流は、LSIに印加できる最大定格電圧及び最大定格電流を意味する。)

しかし、本実施形態の静電気保護素子100の構成に対応するグラフCは、ESDノイズがある程度大きくなると、上記のとおり隣り合うnウェル領域nW及びp型シリコン基板3で構成される寄生NPNT_rがオンしてダイオード群と並列に電流経路が形成されて第1端子1と第2端子2の間の電圧の上昇を抑制するが、隣り合うnウェル領域nWの間にpウェル領域pW及びその内部に設けられたp型拡散領域pD2を備えているので、(a)のように「ラッチアップ動作時の保持電圧が制限電圧より大きい」、又は(b)のように「ラッチアップ動作開始電流が制限電流より大きい」、のいずれか少なくとも一方を満たすようになっているので、通常動作時にラッチアップが生じることはなく、動作の安定性が向上する。

【0029】

尚、寄生NPNT_rがラッチアップ動作を起こすスナップバック電圧やラッチアップ動作開始電流、ラッチアップ動作を起こしたときの保持電圧等は、隣り合うnウェル領域nWの間に形成されたpウェル領域pW及びこのpウェル領域pWの内部に形成されたp型拡散領域pD2の形状、大きさ、不純物濃度等により制御されるので、本実施形態の静電気保護素子100が接続される端子の上述した制限電圧値或いは制限電流値に応じて、pウェル領域pW及びその内部に形成されるp型拡散領域pD2の形状、大きさ、不純物濃度等を適宜定めればよい。

【0030】

図3は本実施形態の静電気保護素子100をLSIに適用する具体例を示す接続図で、(a)、(b)及び(c)はそれぞれ入力、出力及び電源の保護に適用した場合の接続例を示す。例えば、入力保護の場合、図3(a)を参照すると、被保護端子である入力端子V_{IN}と放電端子である高電位側電源V_{DD}との間に静電気保護素子100a及び静電保護ダイオード120aが静電気保護素子100aの第1端子1a及び静電保護ダイオード120aのカソードをいずれも高電位側電源V_{DD}側にして接続され、被保護端子である入力端子V_{IN}と放電端子である低電位側電源V_{SS}との間に静電気保護素子100b及び静電保護ダイオード120

b が静電気保護素子 100b の第 2 端子 2b 及び静電保護ダイオード 120b のアノードをいずれも低電位側電源 VSS 側にして接続される。又、出力保護の場合、図 3 (b) を参照すると、被保護端子である出力端子 VOUT と放電端子である高電位側電源 VDD との間に静電気保護素子 100c 及び静電保護ダイオード 120c が静電気保護素子 100c の第 1 端子 1c 及び静電保護ダイオード 120c のカソードをいずれも高電位側電源 VDD 側にして接続され、被保護端子である出力端子 VOUT と放電端子である低電位側電源 VSS との間に静電気保護素子 100d 及び静電保護ダイオード 120d が静電気保護素子 100d の第 2 端子 2d 及び静電保護ダイオード 120d のアノードをいずれも低電位側電源 VSS 側にして接続される。(但し、静電保護ダイオード 120c、120d は省略することもできる。) 更に、電源保護の場合、図 3 (c) を参照すると、高電位側電源 VDD と低電位側電源 VSS との間に静電気保護素子 100e 及び静電保護ダイオード 120e が静電気保護素子 100e の第 1 端子 1e 及び静電保護ダイオード 120e のカソードをいずれも高電位側電源 VDD 側に、従って静電気保護素子 100e の第 2 端子 2e 及び静電保護ダイオード 120e のアノードをいずれも低電位側電源 VSS 側にして接続される。(但し、静電保護ダイオード 120e は省略することもできる。) 尚、電源保護の場合は、ESD ノイズが印加される側の端子が被保護端子となり、他方が放電端子となる。

【0031】

この中で、入力保護の場合を例として上記 M の設定方法を具体的に説明する。尚、入力端子 VIN と高電位側電源 VDD 及び低電位側電源 VSS の間にそれぞれ接続される静電気保護素子 100a 及び 100b に許容される最大リーク電流はいずれも If0、静電気保護素子を構成する各ダイオードに順方向電流 If0 を流したときのダイオード 1 個の順方向電圧は全て Vf とし、低電位側電源 VSS の電位は接地電位、即ち 0V として説明する。通常動作時に入力端子 VIN に印加される最大電圧及び最小電圧をそれぞれ Vinmax 及び Vinmin、高電位側電源 VDD の推奨動作最大電圧を Vddmax とすると、通常動作時における入力端子 VIN と高電位側電源 VDD との間の最大電位差 Vxh 及び入力端子 VIN と低電位側電源 VSS との間の最大電位差 Vxs は、それぞれ次のようになる。

$$V_{xh} = V_{ddmax} - V_{inmin}$$

$$V_{xs} = V_{inmax}$$

従って、静電気保護素子 100a 及び静電気保護素子 100b をそれぞれ構成する n ウェル領域 nW の数（従ってダイオードの数） M_a 及び M_b は、それぞれ次式を満足する整数 N_a 及び整数 N_b の最小値とすればよい。

$$|V_{xh}| < N_a \times |V_f|$$

$$|V_{xs}| < N_b \times |V_f|$$

例えば、LSI が CMOS で構成されていれば、

$$V_{inmax} = V_{ddmax}$$

$$V_{inmin} = 0$$

となる場合が多いが、高速動作をさせる場合は、

$$0 < V_{inmin}, V_{inmax} < V_{ddmax}$$

と設定されることもあり、この場合は電源保護用の静電気保護素子よりも n ウェル領域 nW の数、即ちダイオードの数を少なくできる可能性がある。

【0032】

尚、図 3 は、被保護端子と放電端子との間に静電気保護素子 100 と逆並列に静電保護ダイオード 120 を接続した例を示したが、LSI が活線挿抜或いはホットプラグに対応する必要がある場合等は、入力端子 V_{IN} や出力端子 V_{OUT} の電位が高電位側電源 V_{DD} の電位よりも高くなることがあるため、静電保護ダイオード 120a や静電保護ダイオード 120c を使用することができない。この場合には、図 19 に示すように被保護端子である入力端子 V_{IN} や出力端子 V_{OUT} 等のインターフェイス端子 V_{IF} と高電位側電源 V_{DD} との間に、静電気保護素子 100a 及び静電気保護素子 100f が静電気保護素子 100a の第 1 端子 1a 及び静電気保護素子 100f の第 2 端子 2f をいずれも高電位側電源 V_{DD} 側にして接続され、インターフェイス端子 V_{IF} と低電位側電源 V_{SS} との間に静電気保護素子 100b 及び静電保護ダイオード 120b が静電気保護素子 100b の第 2 端子 2b 及び静電保護ダイオード 120b のアノードをいずれも低電位側電源 V_{SS} 側にして接続される。このとき、静電気保護素子 100f を構成するダイオードの数を、活線挿抜或いはホットプラグの際にインターフェイス端子 V_{IF} と高電位側電

源VDDとの間に印加される最大電圧に応じて定めておけばよい。

【0033】

以下、本実施形態の静電気保護素子につき、M=3の場合を例として、より具体的な実施例で説明する。図4は、第1実施例を説明するための図で、(a)は模式的な平面図、(b)及び(c)はそれぞれ(a)におけるA1-A1'線及びB1-B1'線に沿った矢視断面を模式的に示す断面図である。

【0034】

図4を参照すると、静電気保護素子200は、X方向の直線に沿って互いに離間して配置・形成されたいずれも第1ウェル領域である3個のnウェル領域10、20、30と、隣り合うnウェル領域10とnウェル領域20の間及びnウェル領域20とnウェル領域30の間にそれぞれ形成されたいずれも第2ウェル領域であるpウェル領域50及びpウェル領域60とを有し、更に、nウェル領域10がその内部に形成された第1拡散領域であるn型拡散領域11と第2拡散領域であるp型拡散領域15を、nウェル領域20がその内部に形成された第1拡散領域であるn型拡散領域21と第2拡散領域であるp型拡散領域25を、nウェル領域30がその内部に形成された第1拡散領域であるn型拡散領域31と第2拡散領域であるp型拡散領域35を、pウェル領域50がその中に互いに離間した複数の領域として形成された第3拡散領域であるp型拡散領域55a、55b、55c、55d、55e（以下、総称するときは単にp型拡散領域55とする）を、pウェル領域60がその中に互いに離間した複数の領域として形成された第3拡散領域であるp型拡散領域65a、65b、65c、65d、65e（以下、総称するときは単にp型拡散領域65とする）をそれぞれ備えている。そして、n型拡散領域11がp型拡散領域25と、p型拡散領域15が第1端子1と、n型拡散領域21がp型拡散領域35と、更にn型拡散領域31が第2端子2とそれぞれ金属配線5で接続されている。尚、金属配線5は、アルミニウム（Al）或いは銅（Cu）等を主材料として形成されるのが望ましい。又、この静電気保護素子200が搭載されるLSIの内部素子がCMOS構成であれば、p型拡散領域15、25、35、p型拡散領域55、及びp型拡散領域65の不純物濃度はpMOSTrのソース・ドレイン領域の不純物濃度と同じ濃度に形成さ

れ、n型拡散領域11, 21, 31の不純物濃度はnMOSTrのソース・ドレイン領域の不純物濃度と同じ濃度に形成される。又、p型拡散領域15, 25, 35、p型拡散領域55、型拡散領域65、及びn型拡散領域11, 21, 31は、それぞれの領域境界部に領域を画定する浅溝分離領域4が形成されている。

【0035】

又、nウェル領域10, 20, 30、pウェル領域50及びpウェル領域60、p型拡散領域15, 25, 35、p型拡散領域55、及びp型拡散領域65の平面形状は、特に限定されないが、いずれも長辺がY方向の矩形状となっている。更に、n型拡散領域11, 21及び31の平面形状は、第1の矩形の内部を第1の矩形の各辺と平行な辺からなる第2の矩形でくり抜いたドーナツ状になっている。

【0036】

又、この静電気保護素子200は、3個のnウェル領域10, 20, 30を全て囲繞するpウェル領域40とこの内部に形成されたp型拡散領域41を備え、このp型拡散領域41は静電気保護素子200が搭載されているLSIの最低電位電源VSSに接続されている。又、静電気保護素子200では、pウェル領域40, 50, 60が一体で形成されている。

【0037】

次に、この静電気保護素子200の保護動作を説明する。図5は第1実施例の静電気保護素子200の等価回路を示す図で、(a)及び(b)はそれぞれ図4(b)の断面図に模式的な寄生素子を付加して示す図及び寄生効果を含む等価回路図である。この静電気保護素子200では、nウェル領域10とp型拡散領域15が第1ダイオードD1を、nウェル領域20とp型拡散領域25が第2ダイオードD2を、nウェル領域30とp型拡散領域35が第3ダイオードD3を、それぞれ構成している。以下、図5を参照して説明する。

【0038】

第1端子1と第2端子2の間に第1端子1側が正となるESDノイズが印加され、電圧が $3 \times V_f$ を超えると、まずダイオードの順方向電流が第1端子1から第2端子2へ流れ始める。即ち、p型拡散領域15からnウェル領域10へ、p

型拡散領域 25 から n ウェル領域 20 へ、そして p 型拡散領域 35 から n ウェル領域 30 へそれぞれ電流が流れる。この電流が増加してくると、p 型拡散領域 15, n ウェル領域 10 及び p 型シリコン基板 3 で構成される縦方向の寄生 PNP トランジスタ（以下、寄生 PNP Tr とする）Tr、p 型拡散領域 25, n ウェル領域 20 及び p 型シリコン基板 3 で構成される縦方向の寄生 PNP Tr 及び p 型拡散領域 15, n ウェル領域 10 及び p 型シリコン基板 3 で構成される縦方向の寄生 PNP Tr にも電流が流れるようになる。そして、これら寄生 PNP Tr の電流が増加してくると、p ウェル領域 50 及び p ウェル領域 60 の電位が上昇し、n ウェル領域 10, p 型シリコン基板 3 及び n ウェル領域 20 で構成される寄生 NPN トランジスタ（以下、寄生 NPN Tr とする）91 及び n ウェル領域 20, p 型シリコン基板 3 及び n ウェル領域 30 で構成される寄生 NPN Tr 93 が導通するようになり、直列に接続された第 1 ダイオード D1、第 2 ダイオード D2 及び第 3 ダイオード D3 の順方向の電流経路と並列に電流経路が構成されるので、第 1 端子 1 と第 2 端子 2 の間の電圧上昇が抑制される。

【0039】

本実施例の静電気保護素子 200 は、n ウェル領域 10 と n ウェル領域 20 の間及び n ウェル領域 20 と n ウェル領域 30 の間に、それぞれ p ウェル領域 50 及び p ウェル領域 60 が形成され、更に p ウェル領域 50 の内部には p 型拡散領域 55 が、p ウェル領域 60 の内部には p 型拡散領域 65 がそれぞれ形成されているので、n ウェル領域 10 と n ウェル領域 20 の間及び n ウェル領域 20 と n ウェル領域 30 の間が p 型シリコン基板 3 のままになっている場合に比べ図 5 の等価回路における寄生 NPN Tr 91, 93 の各ベース抵抗となる抵抗 R1, R3 の抵抗値が実効的に低下して、寄生 NPN Tr 91, 93 の各ベース電位がより安定している。従って、通常動作時の多少のノイズでラッチアップ動作を生じることはない。

【0040】

尚、本実施例では、この静電気保護素子 200 が接続される端子の制限電圧値及び制限電流値に応じて、p 型拡散領域 55 及び p 型拡散領域 65 の配置間隔、分割数、不純物濃度等が調整される。

【0041】

次に、静電気保護素子 200 の製造方法の概要を説明する。図 6 は、この製造方法の一例を説明するための主要工程毎の断面を示す工程毎断面図である。尚、この工程毎断面図は、図 4 における A1-A1' 線に沿った矢視断面を用いて示している。

【0042】

尚、静電気保護素子 200 の主要サイズは、図 5 (c) の寸法定義を参照すると、n ウェル領域 10, 20, 30 の Y 方向の長さ $W_{y1} = 50 \mu\text{m}$ 、p 型拡散領域 15, 25, 35 の Y 方向の長さ $W_{y2} = 40 \mu\text{m}$ 、隣り合う n ウェル領域の間隔 (n ウェル領域 10 と n ウェル領域 20 の間隔及び n ウェル領域 20 と n ウェル領域 30 の間隔) $W_{x4} = 5 \mu\text{m}$ 、p ウェル領域 50, 60 の X 方向の幅 $W_{x5} = 3 \mu\text{m}$ 、p 型拡散領域 55, 65 の X 方向及び Y 方向の長さ W_{x3} 及び W_{y3} をそれぞれ $W_{x3} = 2 \mu\text{m}$ 、 $W_{y3} = 8 \mu\text{m}$ 、p 型拡散領域 55, 65 を構成する単位 p 型拡散領域、即ち p 型拡散領域 55a, 55b, 55c, 55d, 55e 及び p 型拡散領域 65a, 65b, 65c, 65d, 65e、の Y 方向に隣り合う p 型拡散領域の間隔 (例えば、p 型拡散領域 55a と p 型拡散領域 55b との間隔、p 型拡散領域 65c と p 型拡散領域 65b 或いは p 型拡散領域 65d との間隔等々) $d = 2.5 \mu\text{m}$ とした。但し、図面は分かり易くするため、上記寸法とは関係なく適宜拡大して示してある。

【0043】

まず、比抵抗が $10 \Omega \cdot \text{cm}$ 程度の p 型シリコン基板 3 を準備し、この基板の所望の回路素子が形成される主面側の所定の位置に、例えばイオン注入技術により不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ 程度の n ウェル領域 10, 20, 30 と、不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ 程度の p ウェル領域 40, 50, 60 をそれぞれ形成する。(図 6 (a))。

【0044】

次に、例えば浅溝分離技術を用いて所定の素子領域を画定する浅溝分離領域 4 を形成する(図 6 (b))。

【0045】

次に、所望の内部回路素子等（図示せず）を形成するためゲート絶縁膜を成長させ、更にゲート電極となる例えば多結晶シリコン等を堆積してパターンニングし、ゲート領域が形成される（いずれも図示せず）。

【0046】

次に、所望の領域以外をフォトレジスト（以下、PRとする）91等で被覆し、イオン注入技術により例えば砒素（As）を加速電圧10keVで 1×10^{15} 個/cm²程度注入してn型拡散領域11, 21, 31を含む所定のn型領域を形成する（図6（c））。

【0047】

次に、所望の領域以外をPR93等で被覆し、イオン注入技術により例えば5keV程度の加速電圧でボロン（B）を 1×10^{15} 個/cm²程度注入してp型拡散領域15, 25, 35, 45, 55, 65を含む所定のP型領域を形成する（図6（d））。

【0048】

以後は、公知の方法により、所定の領域にコンタクト孔を開口し、アルミニウム（Al）、銅（Cu）、或いはこれらのいずれかを主材料とする金属等から選択された所定の配線材料を堆積してパターンニングし（図6（e））、多層配線が必要であればこの後、層間絶縁膜の堆積、接続孔の開口、配線材料の堆積及びパターンニングを繰り返して多層配線にして形成すればよいので説明は省略する。尚、p型拡散領域55及びp型拡散領域65は、必要に応じてコンタクト孔が開口され、上述の配線材料を用いて所定の電源（通常は、p型シリコン基板3が接続される電源と同じ電源）に接続される。

【0049】

尚、前述の製造方法の各処理は、通常のCMOS型LSIの製造方法に全て含まれる処理であって静電気保護素子200を搭載するために新たな工程の追加は不要であり、具体的な処理条件やパターン寸法等は静電気保護素子200が搭載されるLSIの製造条件と、静電気保護素子200に求められる保護動作の条件等に合わせて適宜設定すればよい。

【0050】

次に第1実施例の変形例について説明する。図7は第1実施例の変形例を説明する図で、(a)は模式的な平面図、(b)及び(c)はそれぞれ(a)のA2-A2'線及びB2-B2'線に沿った矢視断面の模式的な断面図である。図7を参照すると、この変形例の静電気保護素子200aは、いずれも第1ウェル領域である3個のnウェル領域10a, 20a, 30aがX方向の直線に沿って互いに離間してこの順序で配置・形成され、nウェル領域10aとnウェル領域20aの間及びnウェル領域20aとnウェル領域30aの間にそれぞれ第2ウェル領域であるpウェル領域50及びpウェル領域60が形成され、更に、nウェル領域10aの内部にn型拡散領域11aとp型拡散領域15が形成され、nウェル領域20aの内部にn型拡散領域21aとp型拡散領域25が形成され、nウェル領域30aの内部にn型拡散領域31aとp型拡散領域35が形成され、pウェル領域50の内部に互いに離間した複数の領域からなるp型拡散領域55が形成され、pウェル領域60の内部に互いに離間した複数の領域からなるp型拡散領域65が形成されている。尚、n型拡散領域11aとp型拡散領域15、n型拡散領域21aとp型拡散領域25、及びn型拡散領域31aとp型拡散領域35は、それぞれが互いにX方向に対向して形成されている。そして、n型拡散領域11aがp型拡散領域25と、p型拡散領域15が第1端子1と、n型拡散領域21aがp型拡散領域35と、更にn型拡散領域31aが第2端子2とそれぞれ金属配線5で接続されている。

【0051】

上記のとおり、静電気保護素子200と変形例の静電気保護素子200aとの差異は、静電気保護素子200ではp型拡散領域15, 25, 35がn型拡散領域11, 21, 31によりそれぞれ囲繞されているのに対し、静電気保護素子200aではn型拡散領域11aとp型拡散領域15、n型拡散領域21aとp型拡散領域25、及びn型拡散領域31aとp型拡散領域35は、それぞれが互いにX方向に対向して形成されている点だけで、その他は接続関係、作用効果等も含めて全て同一であり、詳細な説明は省略する。

【0052】

次に第2実施例について説明する。図8は第2実施例を説明するための図で、

(a) は模式的な平面図、(b) 及び (c) はそれぞれ (a) における A3-A3' 線及び B3-B3' 線に沿った矢視断面を模式的に示す断面図である。図 8 を参照すると、第 2 実施例の静電気保護素子 210 は、X 方向の直線に沿って互いに離間して配置・形成されたいずれも第 1 ウェル領域である 3 個の n ウェル領域 10, 20, 30 と、隣り合う n ウェル領域 10 と n ウェル領域 20 の間に互いに離間した複数の領域として形成された第 2 ウェル領域である p ウェル領域 51a, 51b, 51c と、n ウェル領域 20 と n ウェル領域 30 の間に互いに離間した複数の領域として形成された第 2 ウェル領域である p ウェル領域 61a, 61b, 61c とを有し、更に、n ウェル領域 10 がその内部に形成された n 型拡散領域 11 と p 型拡散領域 15 を、n ウェル領域 20 がその内部に形成された n 型拡散領域 21 と p 型拡散領域 25 を、n ウェル領域 30 がその内部に形成された n 型拡散領域 31 と p 型拡散領域 35 を、p ウェル領域 51a, 51b, 51c がそれぞれの中に形成された第 3 拡散領域である p 型拡散領域 56a, 56b, 56c を、p ウェル領域 61a, 61b, 61c がそれぞれの中に形成された第 3 拡散領域である p 型拡散領域 66a, 66b, 66c をそれぞれ備えている。そして、n 型拡散領域 11 が p 型拡散領域 25 と、p 型拡散領域 15 が第 1 端子 1 と、n 型拡散領域 21 が p 型拡散領域 35 と、更に n 型拡散領域 31 が第 2 端子 2 とそれぞれ金属配線 5 で接続されている。尚、上記以外の構成は、静電気保護素子 200 の構成と同様であり、同じ構成要素には同じ参照符号を付して詳細な説明は省略する。

【0053】

上記のとおり、静電気保護素子 210 では n ウェル領域 10 と n ウェル領域 20 の間及び n ウェル領域 20 と n ウェル領域 30 の間にそれぞれ互いに離間した複数の p ウェル領域が設けられ、各 p ウェル領域内には単一領域の p 型拡散領域が形成されるようにした点が静電気保護素子 200 との違いである。静電気保護素子 210 においても、ESD ノイズが印加されたときの保護動作を含む作用効果は、静電気保護素子 200 の場合と同様であり、説明は省略する。

【0054】

次に、第 3 実施例について説明する。図 9 は第 3 実施例を説明するための図で

、(a)は模式的な平面図、(b)及び(c)はそれぞれ(a)におけるA4-A4'線及びB4-B4'線に沿った矢視断面を模式的に示す断面図である。図9を参照すると、第3実施例の静電気保護素子300は、X方向の直線に沿って互いに離間して配置・形成された3個のnウェル領域10、20、30と、nウェル領域10とnウェル領域20の間に形成されたpウェル領域50と、nウェル領域20とnウェル領域30の間に形成されたpウェル領域60とを有し、更に、nウェル領域10がその内部に形成されたn型拡散領域11とp型拡散領域15を、nウェル領域20がその内部に形成されたn型拡散領域21とp型拡散領域25を、nウェル領域30がその内部に形成されたn型拡散領域31とp型拡散領域35を、それぞれ備えている。又、この静電気保護素子300における最高電位第1ウェル領域であるnウェル領域10とこのnウェル領域10と隣り合うnウェル領域20との間に設けられたpウェル領域50はその内部に形成された第3拡散領域であるp型拡散領域57を備えているが、pウェル領域60の内部にはp型拡散領域は形成されていない。更に、n型拡散領域11がp型拡散領域25と、p型拡散領域15が第1端子1と、n型拡散領域21がp型拡散領域35と、更にn型拡散領域31が第2端子2とそれぞれ金属配線5で接続されている。尚、上記以外の構成は、静電気保護素子200の構成と同様であり、同じ構成要素には同じ参照符号を付けて詳細な説明は省略する。

【0055】

上記のとおり、静電気保護素子300ではnウェル領域10とnウェル領域20の間に設けられたpウェル領域50の内部のみに単一領域のp型拡散領域57が形成された点が静電気保護素子200との違いである。このように静電気保護素子300では、pウェル領域50の内部のみに単一領域のp型拡散領域57が形成されたことにより、より高電圧が印加されるnウェル領域10、p型シリコン基板3及びnウェル領域20で構成される寄生NPNT_r91のラッチアップを抑制すると共に、nウェル領域20、p型シリコン基板3及びnウェル領域30で構成される寄生NPNT_r93は導通し易くなっている。この静電気保護素子300においても、ESDノイズが印加されたときの保護動作を含む作用効果は、静電気保護素子200の場合と同様の作用効果が得られる。

【0056】

以上説明したとおり、本発明の静電気保護素子は第1端子と第2端子の間に第1端子をアノード側として所定個数のダイオードを順方向に直列接続した構成を有し、且つ各ダイオードは互いに離間して形成された第1ウェル領域であるnウェル領域及びそれぞれの内部に形成されたp型拡散領域で構成され、更に隣り合うnウェル領域の間にpウェル領域を備えると共に最高電位第1ウェル領域となるnウェル領域と隣り合うnウェル領域との間に設けられたpウェル領域の内部には複数の互いに離間したp型拡散領域が形成されている。従って、第1端子と第2端子との間に第1端子側が正（+）となるESDノイズが印加された際には、隣り合うnウェル領域及びその間に設けられたp型拡散領域で構成される寄生NPNT_rが導通して、直列接続されたダイオードを順方向に流れる電流経路と並列に寄生NPNT_rによる電流経路が形成される。これにより、各ダイオードのサイズを小さくしても、ESDノイズに対する保護動作の際の第1端子と第2端子との間の電圧上昇が抑制される。一方、通常動作時においては、pウェル領域及び最高電位第1ウェル領域となるnウェル領域に隣接するpウェル領域内には少なくとも設けられたp型拡散領域により、第1端子と第2端子との間のラッチアップが抑制される。従って、本発明の静電気保護素子が接続される被保護端子に付加される浮遊容量を抑制すると共に実使用状態でラッチアップの発生を抑制しながら、ESD耐量の小さい被保護デバイスをESDノイズから保護することができるという効果が得られる。

【0057】

尚、本発明は上記実施形態の説明に限定されるものでなく、その要旨の範囲内において種々変更が可能である。

例えば、上記各実施例では、各第1ウェル領域の内部に形成されるn型拡散領域とp型拡散領域との間に浅溝分離領域4を設けた例で説明したが、n型拡散領域とp型拡散領域との間には浅溝分離領域等の半導体基板の内部、即ち当該n型拡散領域及びp型拡散領域の半導体基板表面位置から見て半導体基板の厚さ方向に入り込んだ絶縁膜が形成されないようにすることもできる。図10は、第1ウェル領域内のn型拡散領域とp型拡散領域との間に浅溝分離領域形成しない場合の

構造例を説明するために図4 (a) のA1-A1' 線に沿った矢視断面のnウェル領域10の部分のみを拡大して示す図で、(a) 及び(b) はそれぞれMOS Trのゲート部構造を用いた場合及び半導体基板表面に単に絶縁膜を形成しただけの場合の模式的な断面図である。図10 (a) の例は、n型拡散領域11とp型拡散領域15との間に浅溝分離領域4を形成せず、この静電気保護素子が搭載されたLSIの内部素子のMOS Trのゲート絶縁膜(通常はシリコン酸化膜)を形成する工程で同時に同じゲート絶縁膜7を形成し、更にMOS Trのゲート電極を形成する工程で、同じゲート電極材料からなるゲート電極材料膜8を形成し、その上に層間絶縁膜(通常は、シリコン酸化膜、シリコン窒化膜等のシリコン系絶縁膜やそれらの多層膜)9を堆積させている。尚、このゲート電極材料膜8には他の配線等を接続せず、フローティングのままとする。図11は、図10 (a) の構造を用いる場合の製造方法の主要工程毎の断面を示す工程毎断面図である。尚、この工程毎断面図も図6と同様、図4におけるA1-A1' 線に沿った矢視断面を用いて示している。この場合、浅溝分離領域やゲート電極を形成するためのマスクパターンを変更するだけでよく、図6の例の製造方法と全く同じになるので詳細な説明は省略する。

【0058】

又、図10 (b) の例は、n型拡散領域11とp型拡散領域15との間のp型シリコン基板3表面にゲート絶縁膜7と層間絶縁膜9が積層された構成になっている。この場合も、図10 (a) の場合と同様、浅溝分離領域やゲート電極を形成するためのマスクパターンを変更するだけでよい。尚、各拡散領域のコンタクト部に図10 (b) のようにシリサイド部95を形成し、コンタクト抵抗を小さくするようにしてもよい。

【0059】

図10の例のように、第1ウェル領域の内部に形成されるn型拡散領域とp型拡散領域との間から浅溝分離領域を除去した構成とすることにより、各ダイオードの高電流領域における順方向抵抗を低下させることができる。

【0060】

又、上記各実施例では、直線に沿って配置された複数のnウェル領域の端部に

配置された n ウェル領域を、最高電位第 1 ウェル領域となる n ウェル領域 10 或いは n ウェル領域 10a としたが、最高電位第 1 ウェル領域の両側に他の第 1 ウェル領域が配置されるようにすることもできる。図 12, 13 は M=3 の場合を例として、最高電位第 1 ウェル領域となる n ウェル領域 10 を中央として X 方向の両側に n ウェル領域 20 及び n ウェル領域 30 を配置し、n ウェル領域 10 と n ウェル領域 20 の間及び n ウェル領域 10 と n ウェル領域 30 の間にそれぞれ第 2 ウェル領域である p ウェル領域及び第 3 拡散領域である p 型拡散領域を配置したときの模式的な平面図である。尚、これらの図において、上記各実施例と同じ構成要素は同じ参照符号を付けて説明を省力する。

【0061】

図 12 (a) は、n ウェル領域 10 と n ウェル領域 20 の間に単一領域で且つ孤立した p ウェル領域 52 とその中に単一領域の p 型拡散領域 57 が配置され、n ウェル領域 10 と n ウェル領域 30 の間に単一の p ウェル領域 60 とその中に単一領域の p 型拡散領域 67 が配置され、p ウェル領域 60 は n ウェル領域 10, 20 及び 30 を全て囲繞する p ウェル領域 40 と一体で形成された例である。又、図 12 (b) は、n ウェル領域 10 と n ウェル領域 20 の間に p ウェル領域 51a, 51b, 51c が配置され、n ウェル領域 10 と n ウェル領域 30 の間に p ウェル領域 61a, 61b, 61c が配置され、更に p ウェル領域 51a, 51b, 51c の中に p 型拡散領域 56a, 56b, 56c がそれぞれ配置され、p ウェル領域 61a, 61b, 61c の中に p 型拡散領域 66a, 66b, 66c がそれぞれ配置された例である。

【0062】

又、図 13 (a) は、図 12 (a) の例とはほぼ同じ構成であるが、p ウェル領域 52 の中に配置・形成された第 3 拡散領域が複数の p 型拡散領域 55a, 55b, 55c, 55d, 55e かなっている点が、図 12 (a) と異なっている。又、図 13 (b) は、例えば図 12 (a) の例で n ウェル領域 10 と n ウェル領域 20 の間に配置されていた p ウェル領域 52 及び p 型拡散領域 57 の代わりに、複数の p ウェル領域 51a, 51b, 51c 及びこれらの中に p 型拡散領域 56a, 56b, 56c をそれぞれ配置すれば、他は図 12 (a) の例と同じ構成

である。

【0063】

尚、p型拡散領域57やp型拡散領域67のように単一の第2ウェル領域の中に第3拡散領域が単一領域で形成される場合は、コンタクト孔の大きさ及びその数を調整することで寄生NPNT_rの効果とラッチアップ耐量を調整することができる。

【0064】

図12や図13の構成は、静電気保護素子内の接続配線がやや複雑になるが、第1端子1にESDノイズが印加されると、ダイオードの順方向電流経路と、nウェル領域10、nウェル領域20及びp型シリコン基板3で構成される寄生NPNT_rを流れる電流経路の他に、nウェル領域10、nウェル領域30及びp型シリコン基板3で構成される寄生NPNT_rを流れる電流経路も構成されるので、ESDノイズによる第1端子1と第2端子2との間の電圧上昇をより抑制できる。

【0065】

尚、第2ウェル領域及び第3拡散領域の形状、例えば各領域の数や複数の領域にする場合に各領域の大きさや領域の間隔等、については上記実施例に限定されるものでなく、この静電気保護素子により保護されるデバイスの所望のESD耐量や、第1端子1と第2端子2との間の所望のラッチアップ耐量等に基づいて適宜設定すればよい。このとき、一つの静電気保護素子内であっても、図12(a)や図13の例のように、第2ウェル領域及び第3拡散領域の形状が配置される位置によって異なってもよい。

【0066】

【発明の効果】

以上説明したように、本発明の静電気保護素子を用いることにより、低電圧で保護動作が可能であり、且つ付加される浮遊容量を抑制すると共に実使用状態でラッチアップの発生を抑制でき、ESD耐量の小さい被保護デバイスをESDノイズから保護することができるという効果が得られる。従って、例えば入出力部で超高速動作を必要とするLSIでは、ESD耐量の小さいデバイスが外部端子

と直接接続され且つ当該端子の浮遊容量をできるだけ抑制しなければならないことが多くなるが、その場合でも当該端子に本発明の静電気保護素子を適用することにより、所望の L S I を容易に実現することができる。

【図面の簡単な説明】

【図 1】

本発明の静電気保護素子の一実施形態を示す図で、(a) は模式的な平面図、(b) は (a) における P 部の模式的な詳細平面図、(c) 及び (d) は (a) における Q 1 - Q 1' 線に沿った矢視断面及び (b) における Q 2 - Q 2' 線に沿った矢視断面をそれぞれ模式的に示す断面図、(e) は (a) の模式的な等価回路図である。

【図 2】

静電気保護素子の模式的な電圧-電流特性グラフである。

【図 3】

図 1 の静電気保護素子を L S I に適用する具体例を示す接続図で、(a)、(b) 及び (c) はそれぞれ入力、出力及び電源の保護に適用した場合の接続例を示す。

【図 4】

本発明の静電気保護素子の第 1 実施例を説明するための図で、(a) は模式的な平面図、(b) 及び (c) はそれぞれ (a) における A 1 - A 1' 線及び B 1 - B 1' 線に沿った矢視断面を模式的に示す断面図である。

【図 5】

第 1 実施例の静電気保護素子の等価回路を示す図で、(a) 及び (b) はそれぞれ図 4 (b) の断面図に模式的な寄生素子を付加して示す図及び寄生効果を含む等価回路図である。

【図 6】

第 1 実施例の静電気保護素子の製造方法の一例を説明するための主要工程毎の断面を示す工程毎断面図である。

【図 7】

第 1 実施例の変形例の静電気保護素子を説明する図で、(a) は模式的な平面

図、(b) 及び (c) はそれぞれ (a) の A2-A2' 線及び B2-B2' 線に沿った矢視断面の模式的な断面図である。

【図 8】

第 2 実施例の静電気保護素子を説明するための図で、(a) は模式的な平面図、(b) 及び (c) はそれぞれ (a) における A3-A3' 線及び B3-B3' 線に沿った矢視断面を模式的に示す断面図である。

【図 9】

第 3 実施例の静電気保護素子を説明するための図で、(a) は模式的な平面図、(b) 及び (c) はそれぞれ (a) における A4-A4' 線及び B4-B4' 線に沿った矢視断面を模式的に示す断面図である。

【図 10】

第 1 ウェル領域内の n 型拡散領域と p 型拡散領域との間に浅溝分離領域を形成しない場合の構造例を説明する図で、(a) 及び (b) はそれぞれ MOSTr のゲート部構造を用いた場合及び半導体基板表面に単に絶縁膜を形成しただけの場合の模式的な断面図である。

【図 11】

図 10 (a) の構造を用いる場合の製造方法の主要工程毎の断面を示す工程毎断面図である。

【図 12】

M=3 の場合を例として、最高電位第 1 ウェル領域となる n ウェル領域を中央として X 方向の両側に n ウェル領域を配置したときの模式的な平面図である。

【図 13】

M=3 の場合を例として、最高電位第 1 ウェル領域となる n ウェル領域を中央として X 方向の両側に n ウェル領域を配置したときの模式的な平面図である。

【図 14】

特開昭 63-81845 号公報に開示された保護回路の図である。

【図 15】

特開 2001-148460 号公報に開示された入力保護回路の図で、(a) は回路図、(b) は (a) の模式的な断面構造を示す断面図である。

【図 16】

特開 2002-43533 号公報に開示された ESD 保護装置の図で、(a) は回路図、(b) は (a) の模式的な断面構造を示す断面図である。

【図 17】

ダイオード群を構成する複数のダイオードが近接して配置された例を示す図で、(a)、(b) はそれぞれ模式的な平面図と、(a) の R-R' 線に沿った矢視断面を示す模式的な断面図である。

【図 18】

図 17 の静電気保護素子の電圧-電流特性を、順方向に直列接続したダイオード群のみの場合の電圧-電流特性と共に示すグラフである。

【図 19】

図 1 の静電気保護素子を LSI に適用する具体例を示す接続図である。

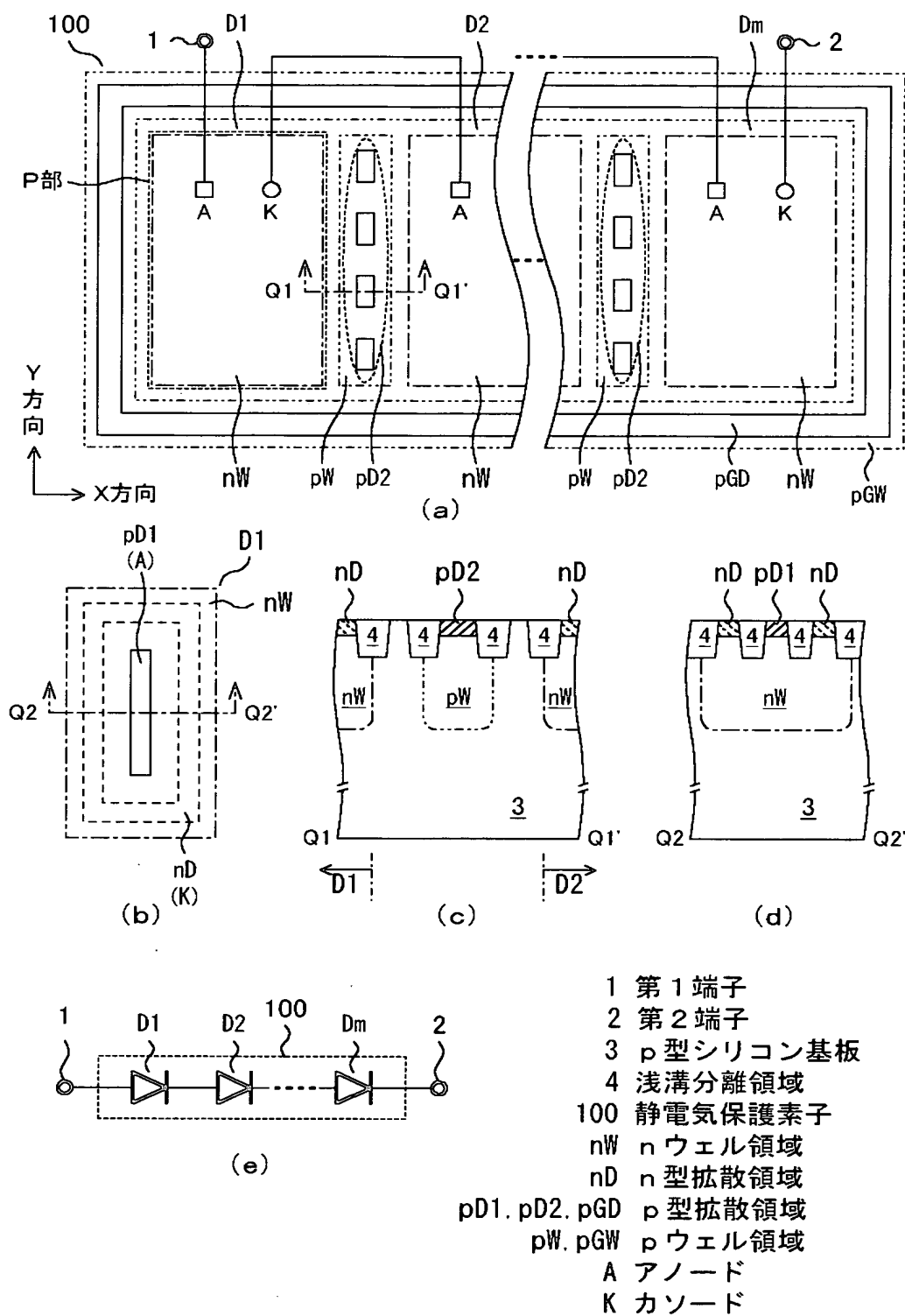
【符号の説明】

- 1 第 1 端子
- 2 第 2 端子
- 3 p 型シリコン基板
- 4 浅溝分離領域
- 5 金属配線
- 7 ゲート絶縁膜
- 8 ゲート電極材料膜
- 9 層間絶縁膜
- 10, 20, 30, nW n ウェル領域
- 11, 21, 31, nD n 型拡散領域
- 15, 25, 35, 45, 55 p 型拡散領域
- 56, 57, 65, 66, 67, pD1, pD2, pGD p 型拡散領域
- 40, 50, 51, 52, 60, 61, pW, pGW p ウェル領域
- 91, 93 PR
- 95 シリサイド部
- 100, 200, 210, 300 静電気保護素子

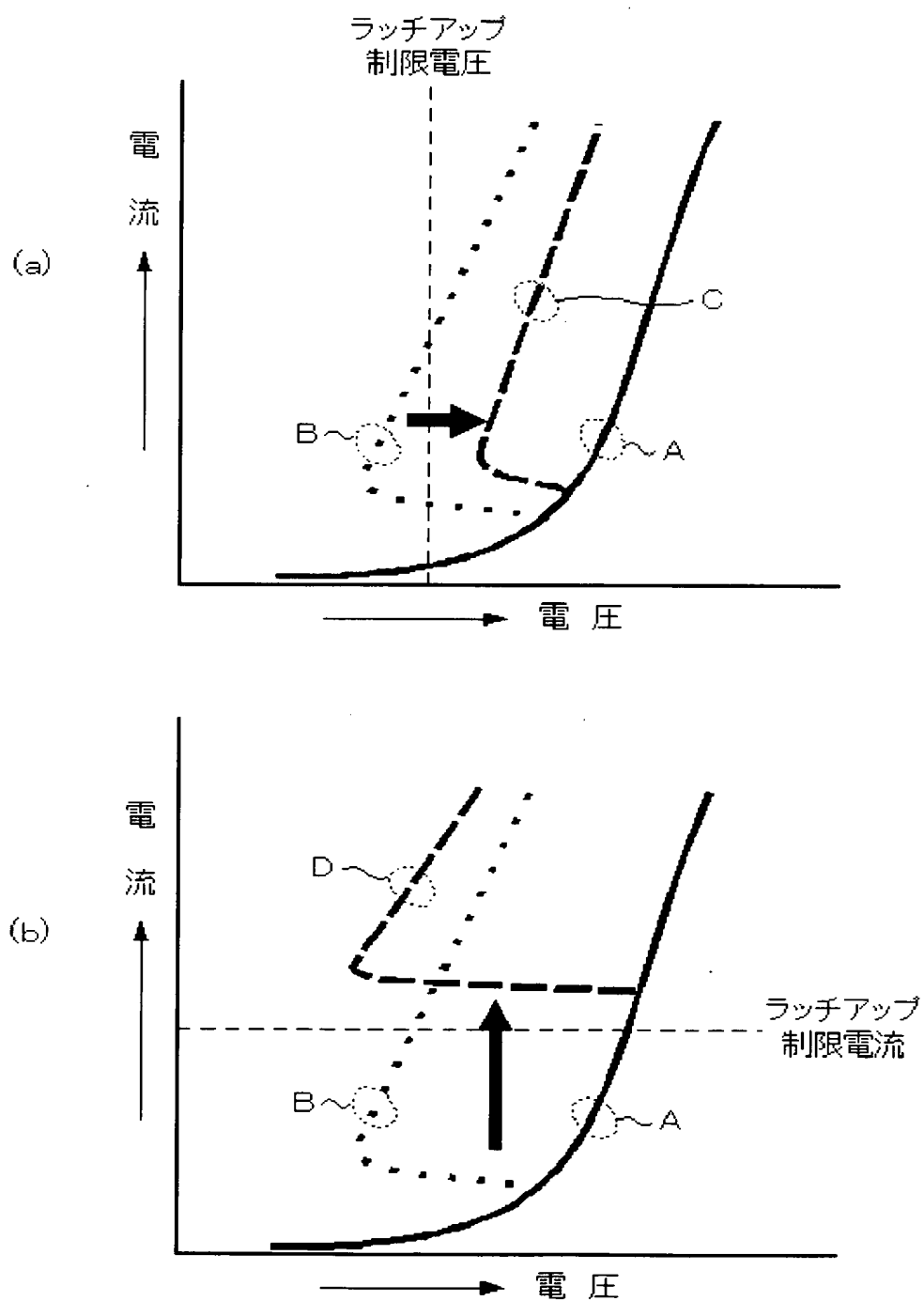
1 2 0 静電保護ダイオード

【書類名】 図面

【図1】

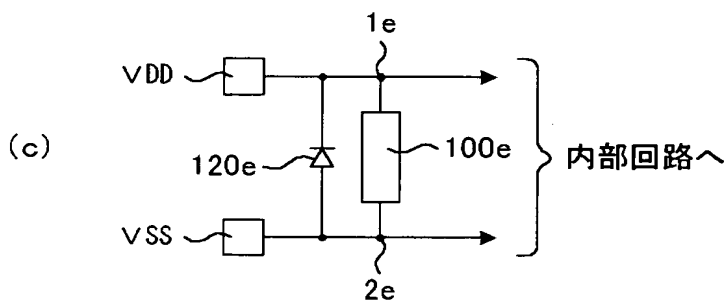
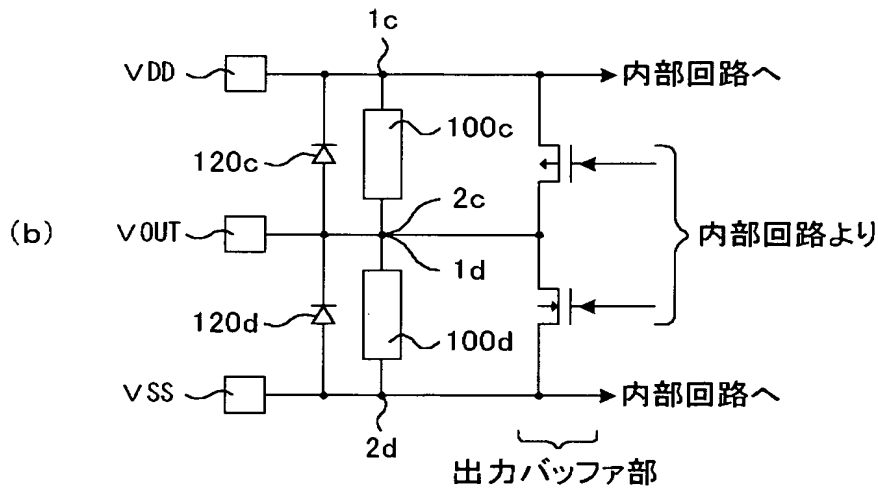
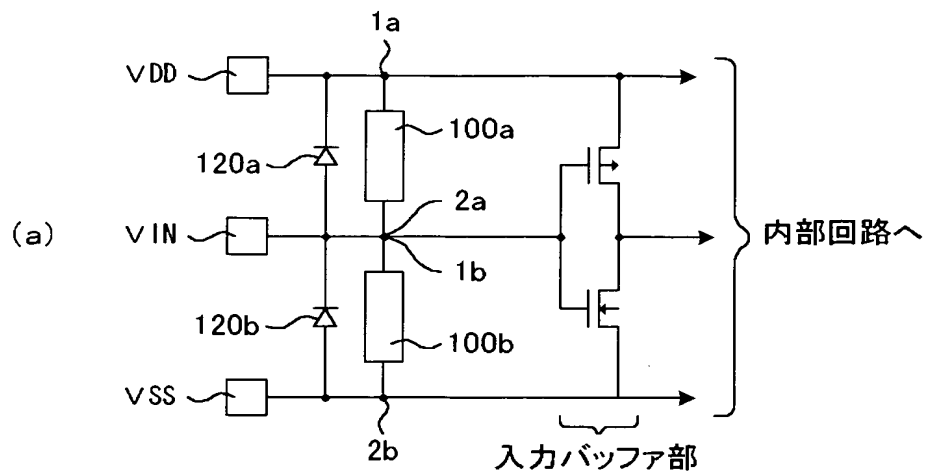


【図2】



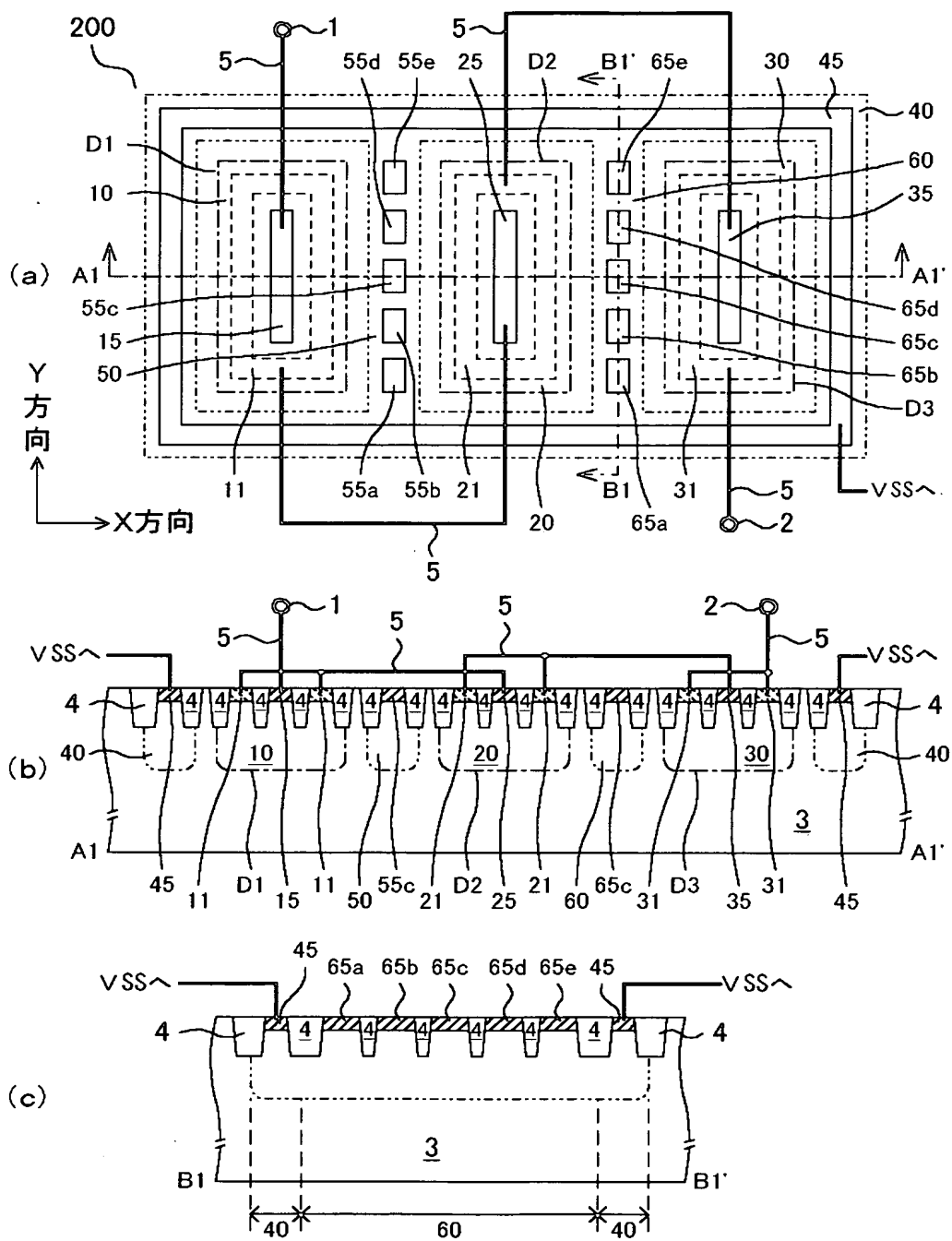
- A: 各 n ウェル領域の周囲にガードリングを設けた場合
 B: 各 n ウェル領域の間が基板のままの場合
 C, D: 各 n ウェル領域の間に島状の p 型拡散領域を設けた場合

【図 3】



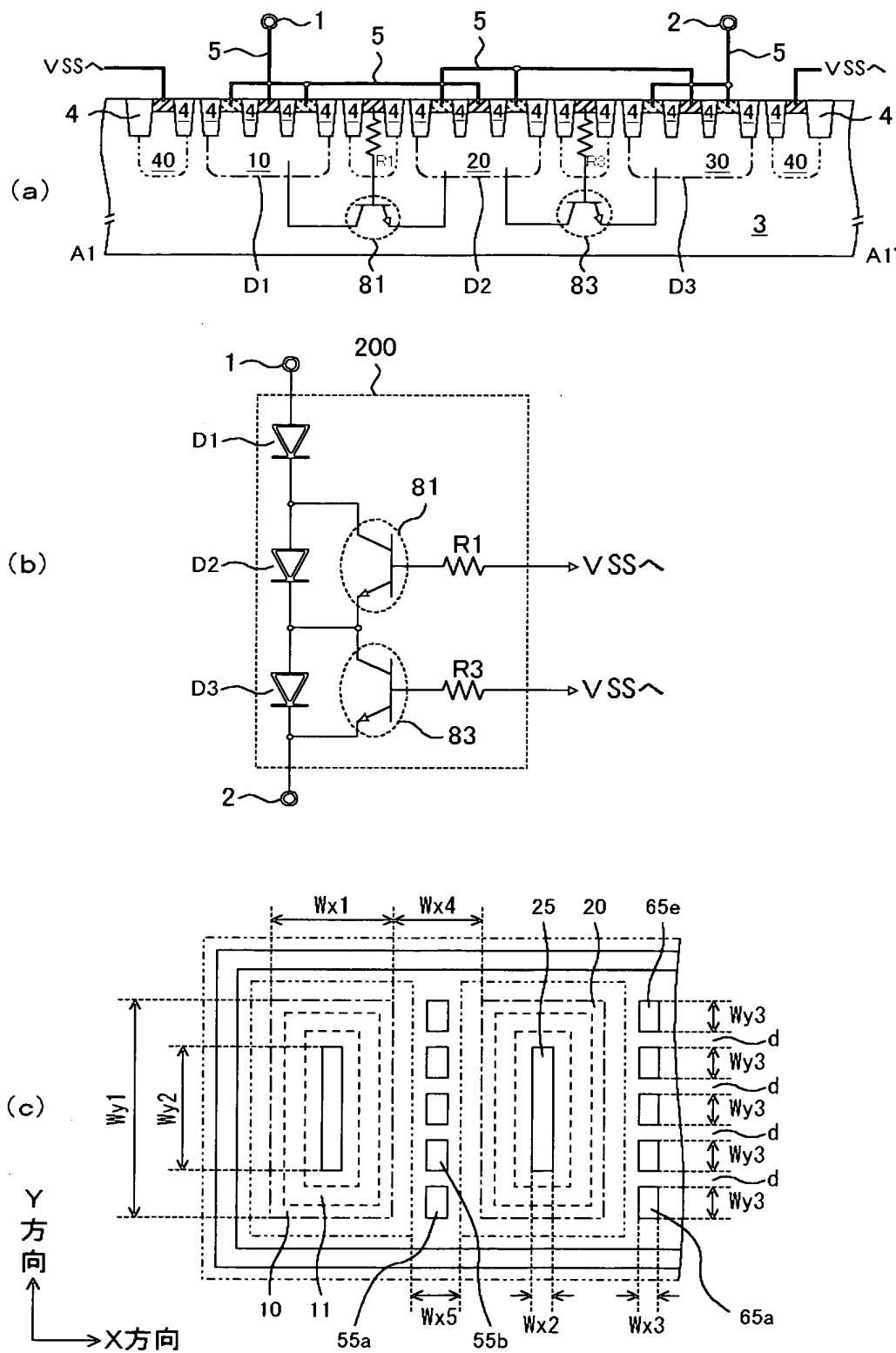
120 静電保護ダイオード

【図4】

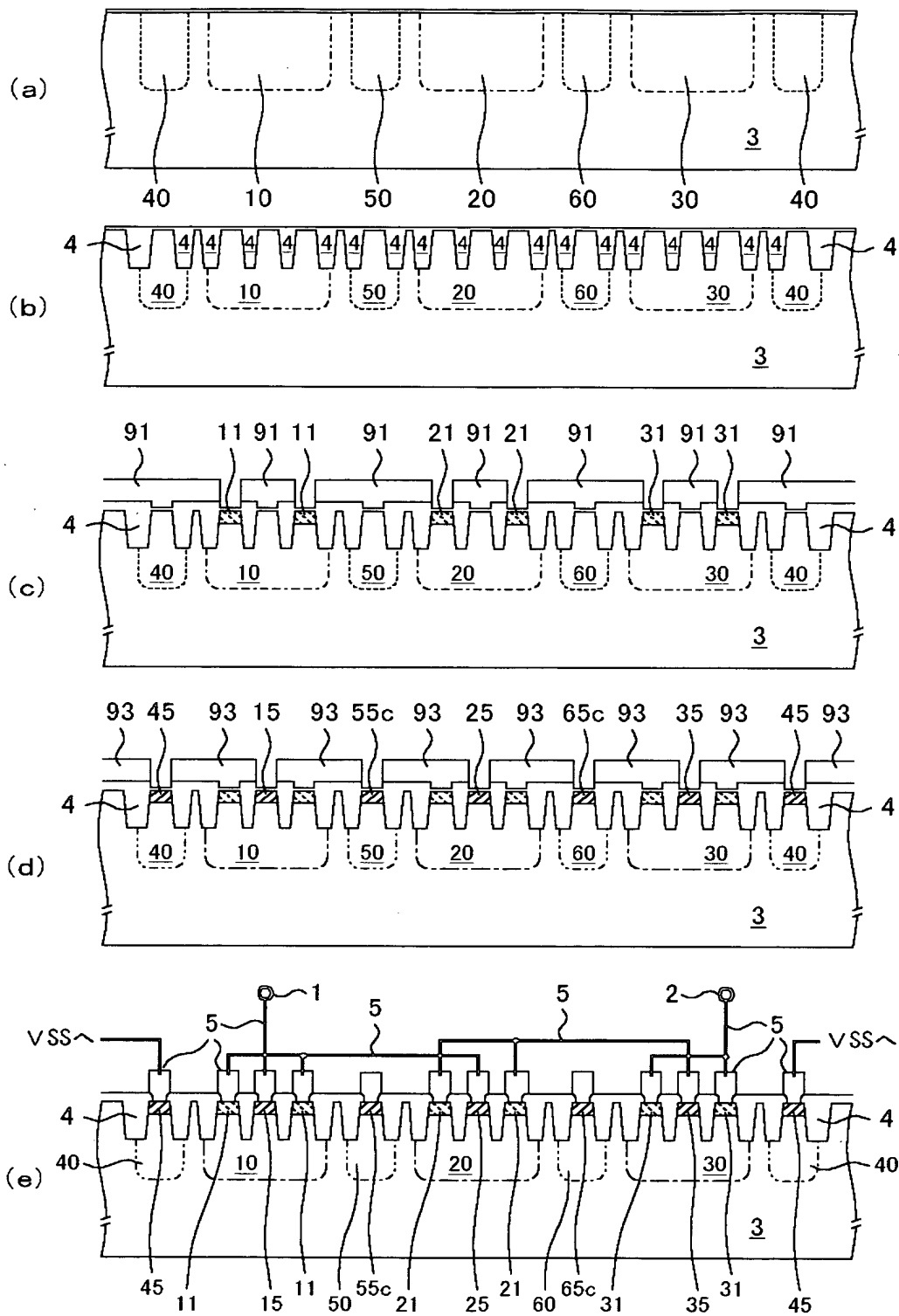


- 5 金属配線
 10, 20, 30 n ウェル領域
 11, 21, 31 n 型拡散領域
 15, 25, 35, 45, 55, 65 p 型拡散領域
 40, 50, 60 p ウェル領域
 200 静電気保護素子

【図 5】

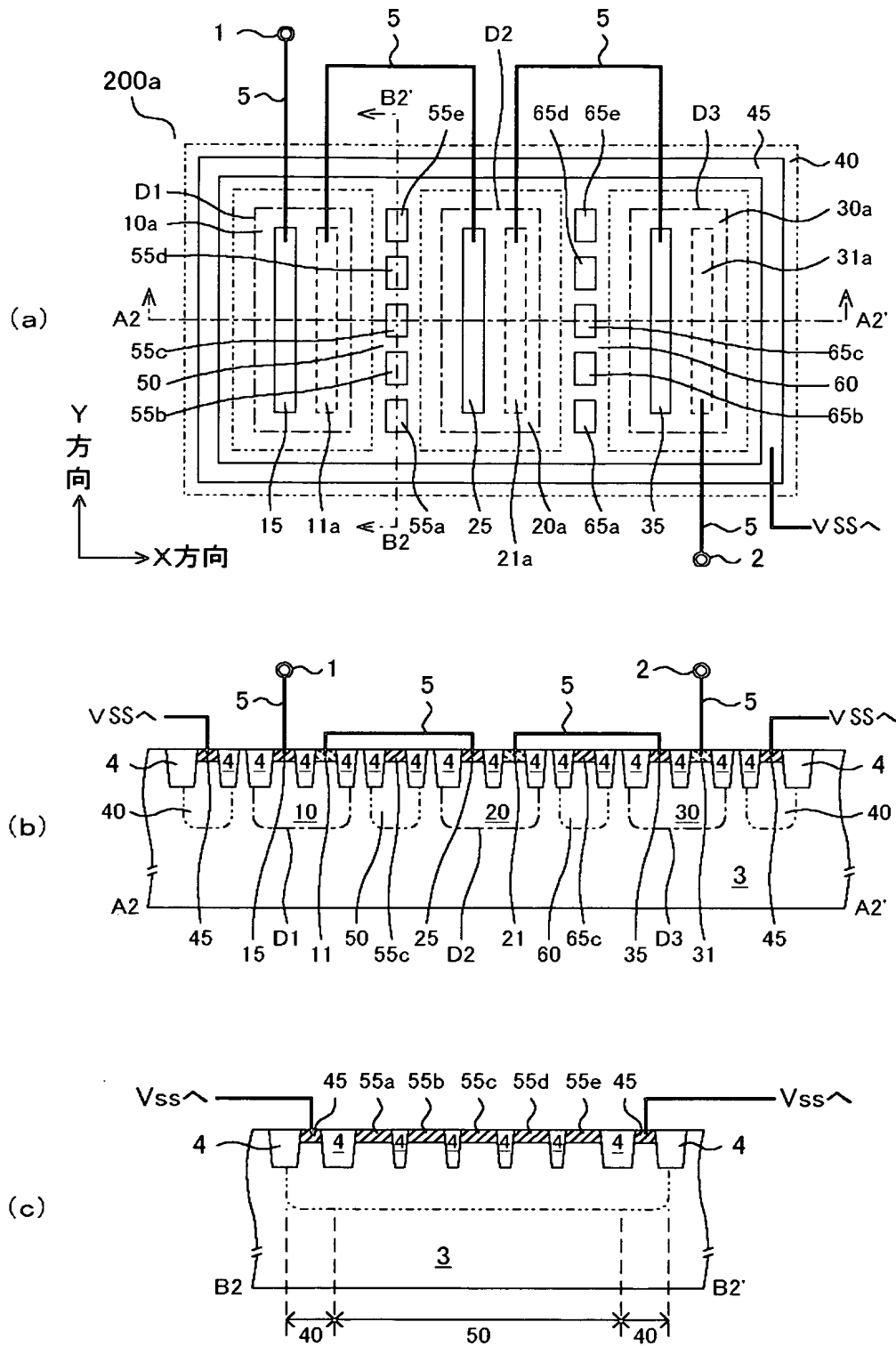


【図 6】

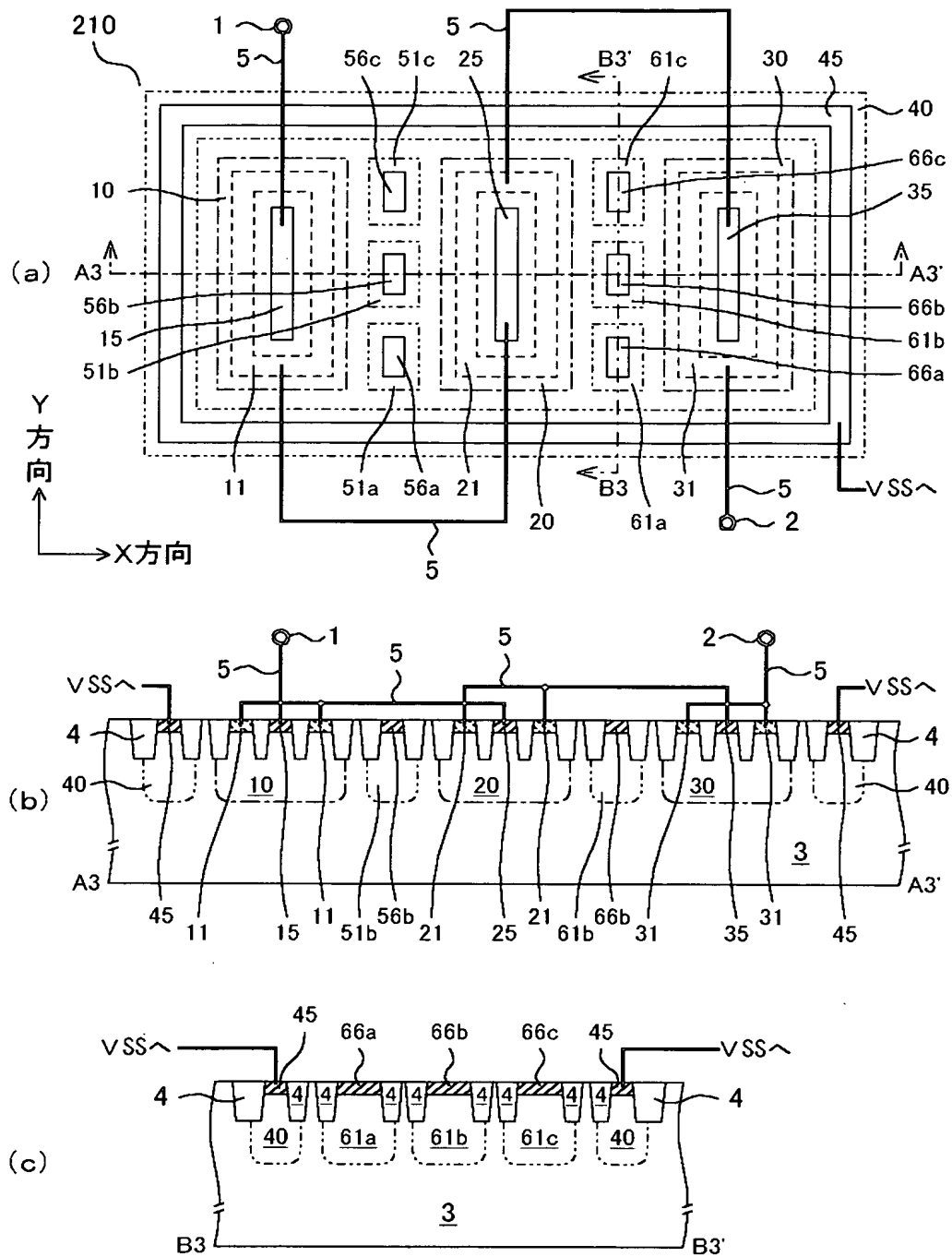


91, 93 P R

【図 7】

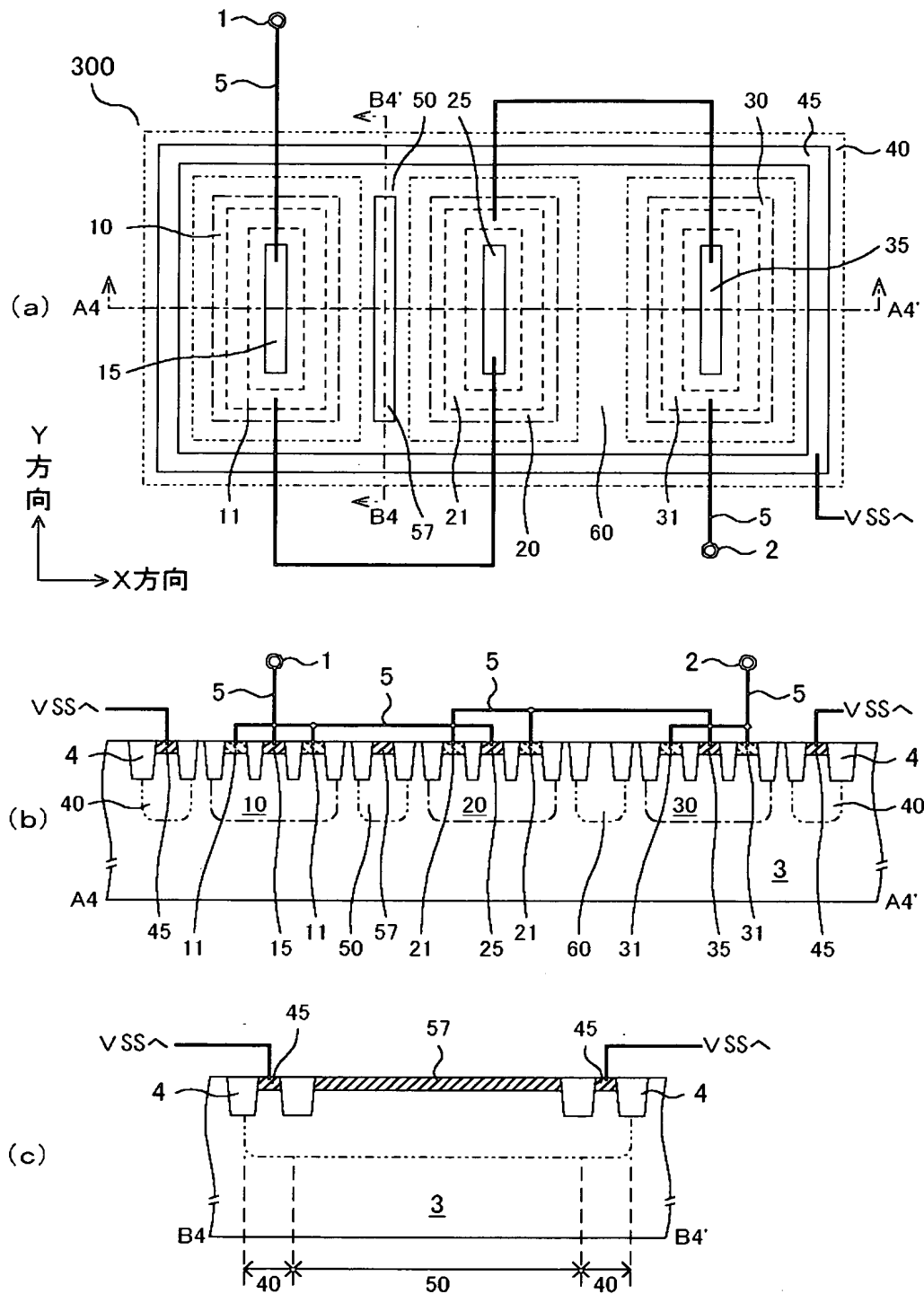


【図 8】

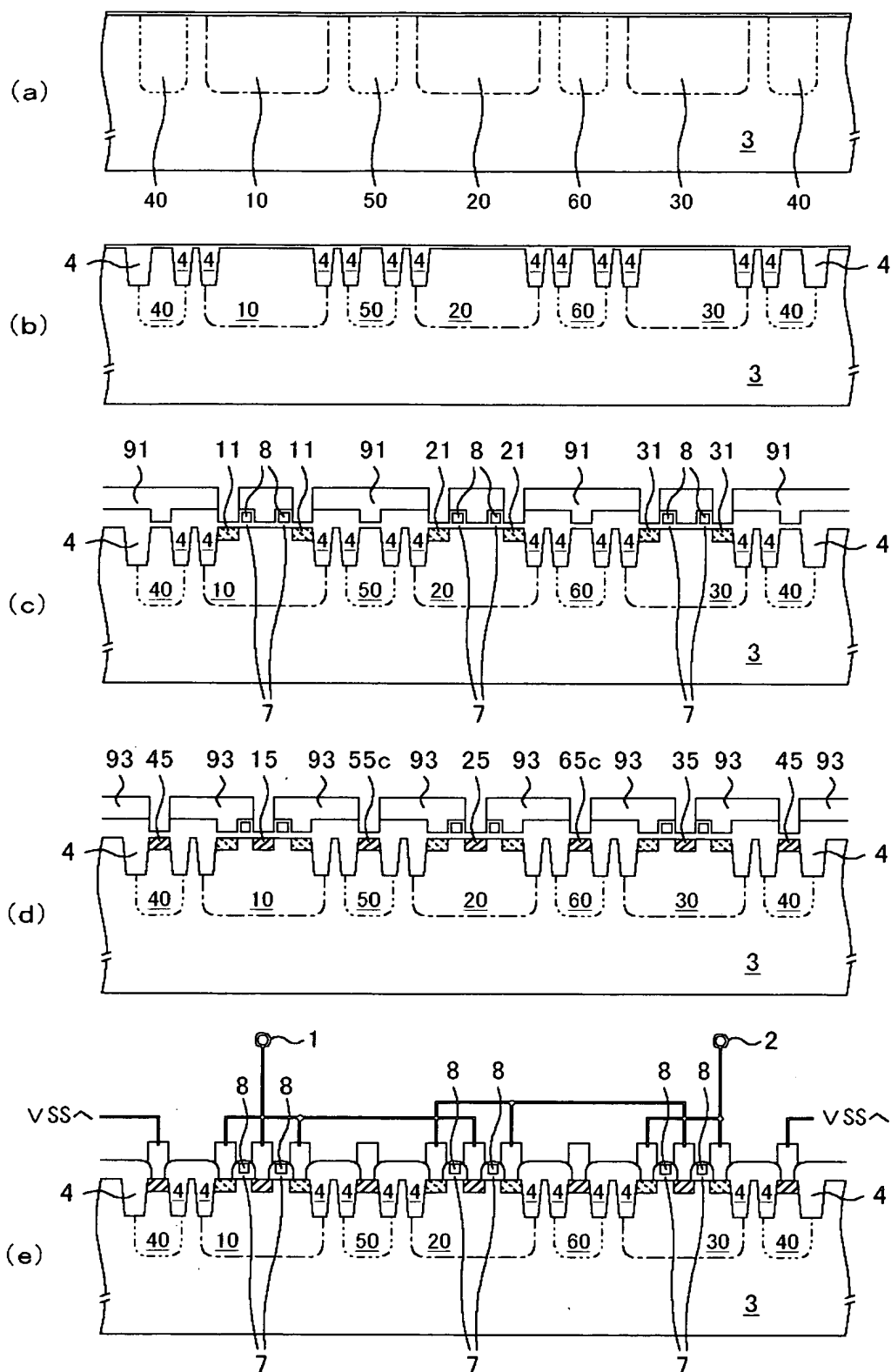


45. 56. 66 p 型拡散領域
 51. 61 p ウェル領域
 210 静電気保護素子

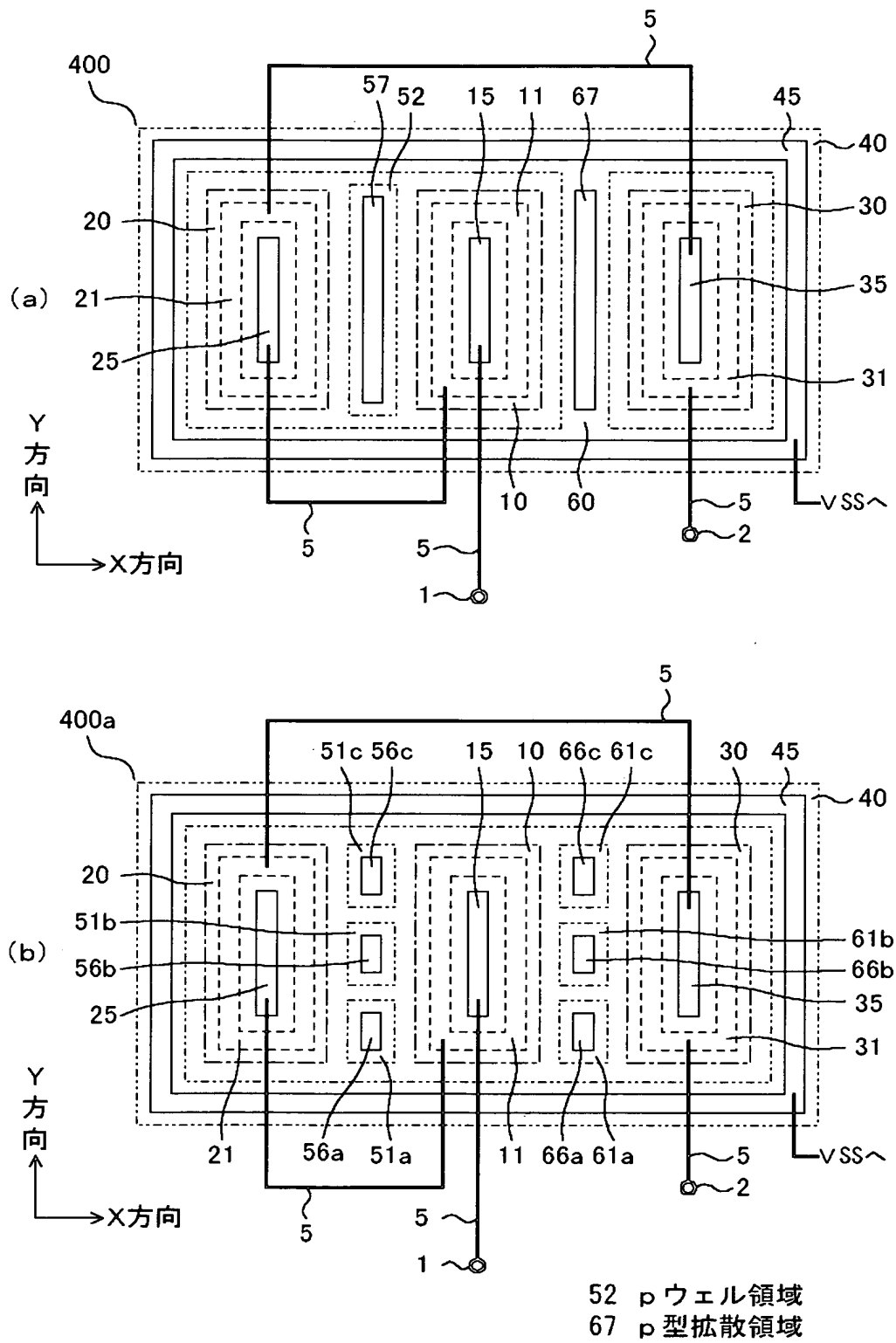
【図 9】



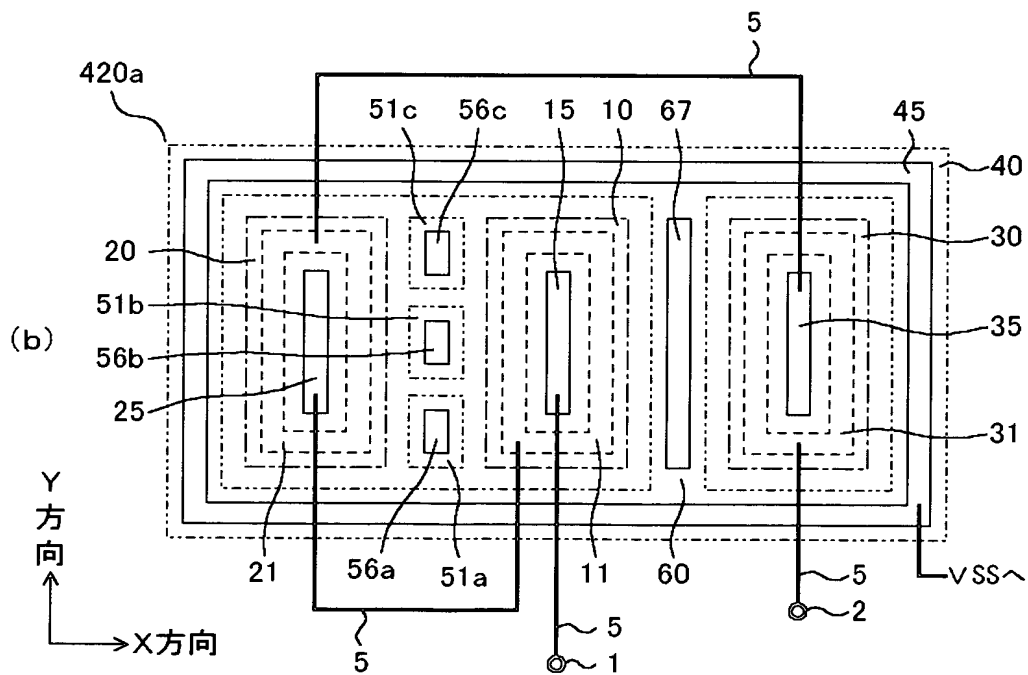
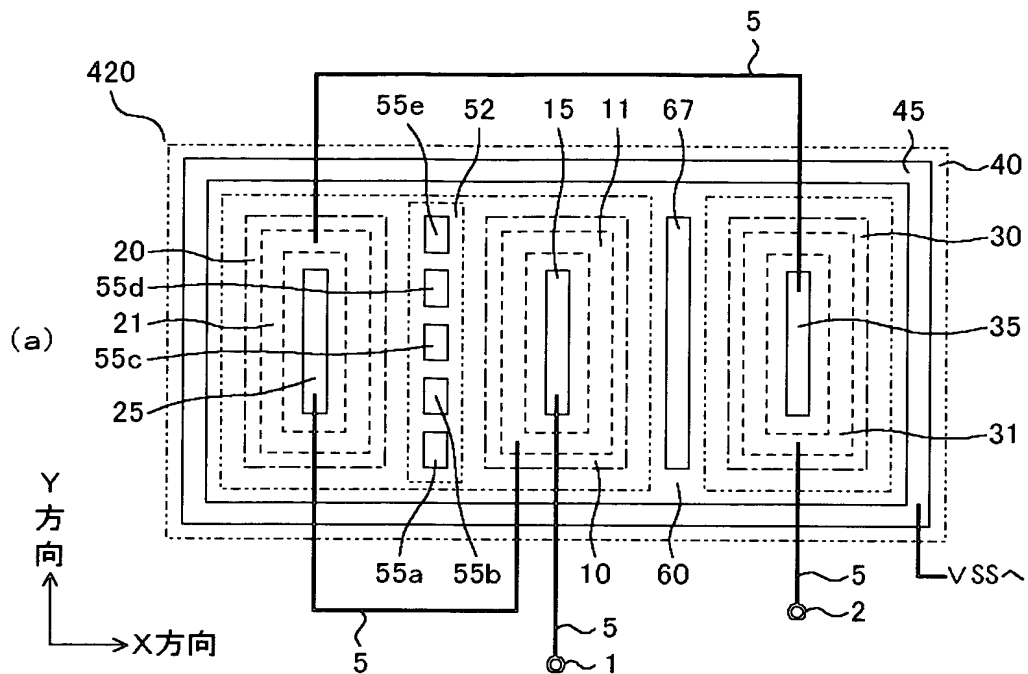
【図 11】



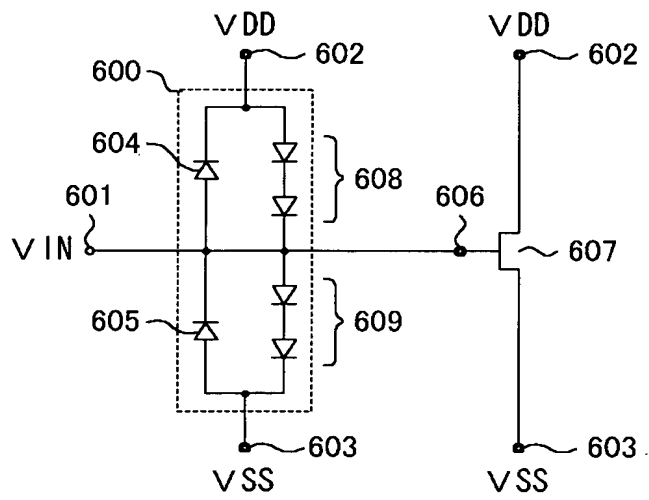
【図 12】



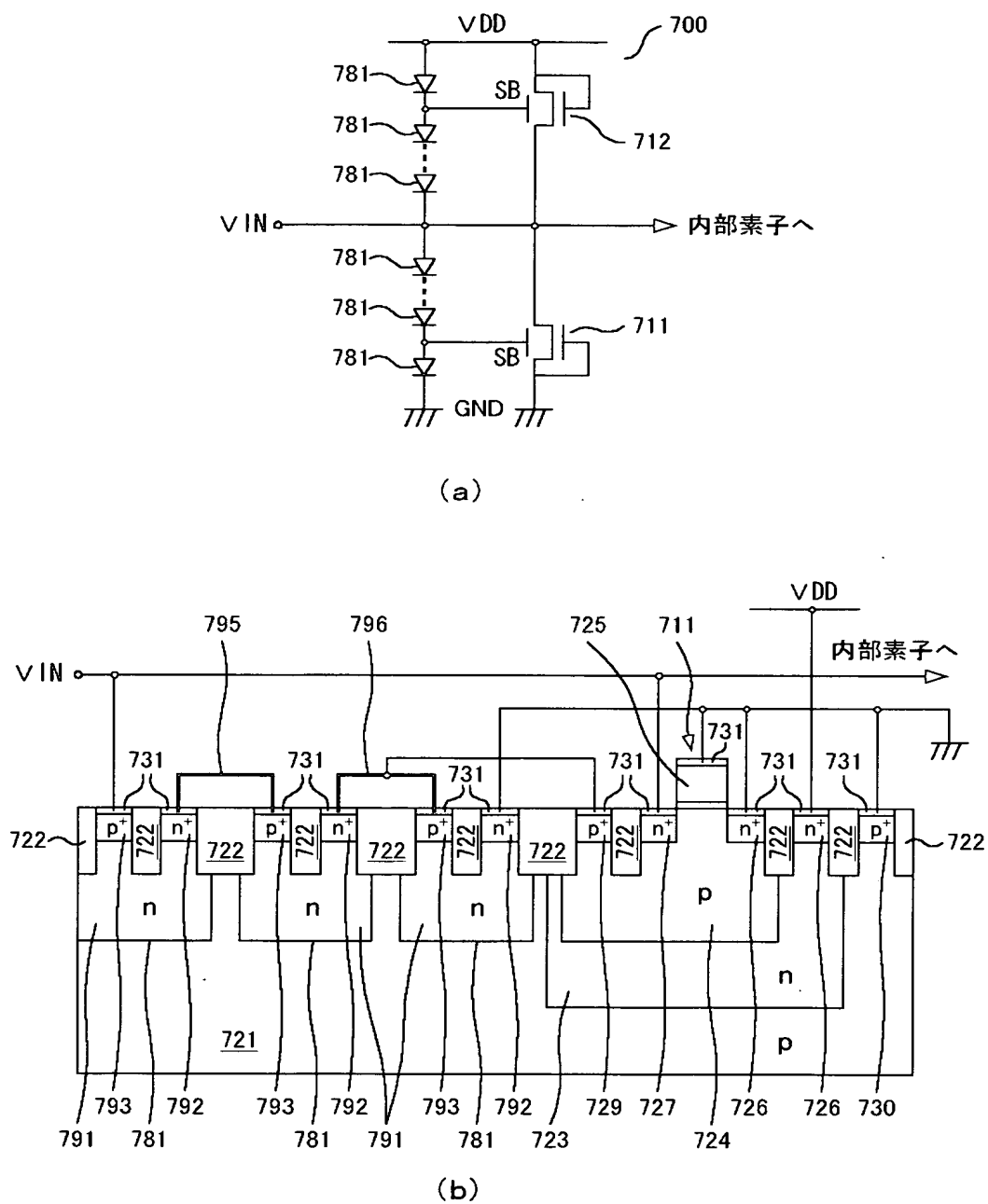
【図 13】



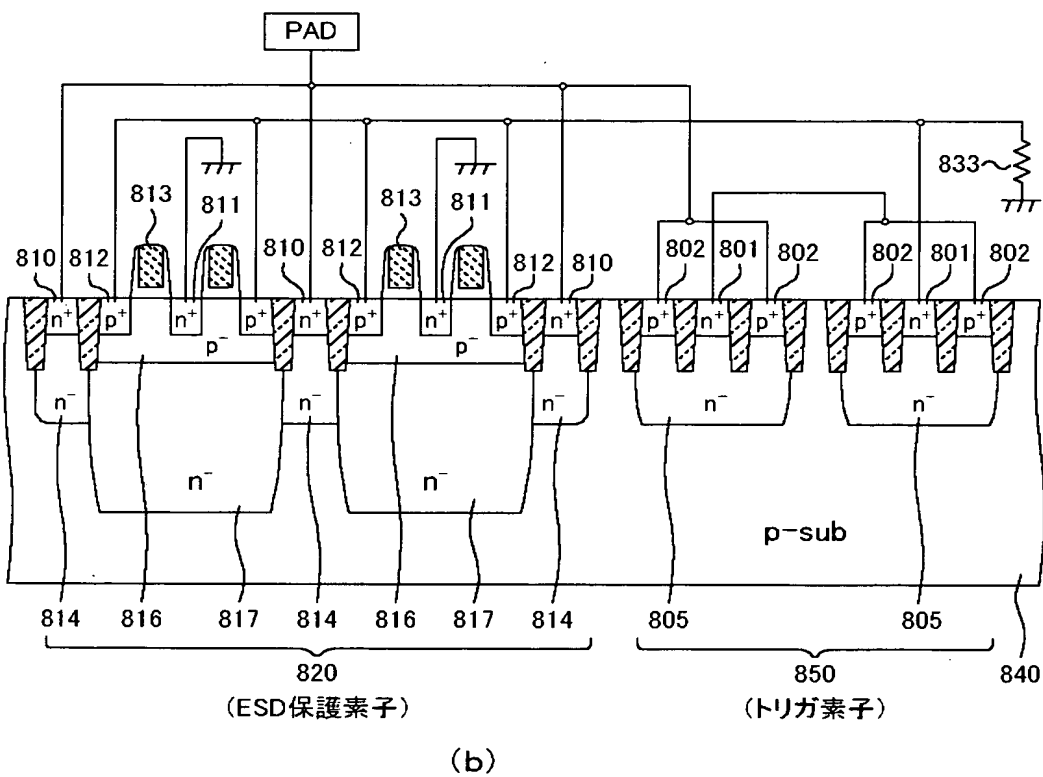
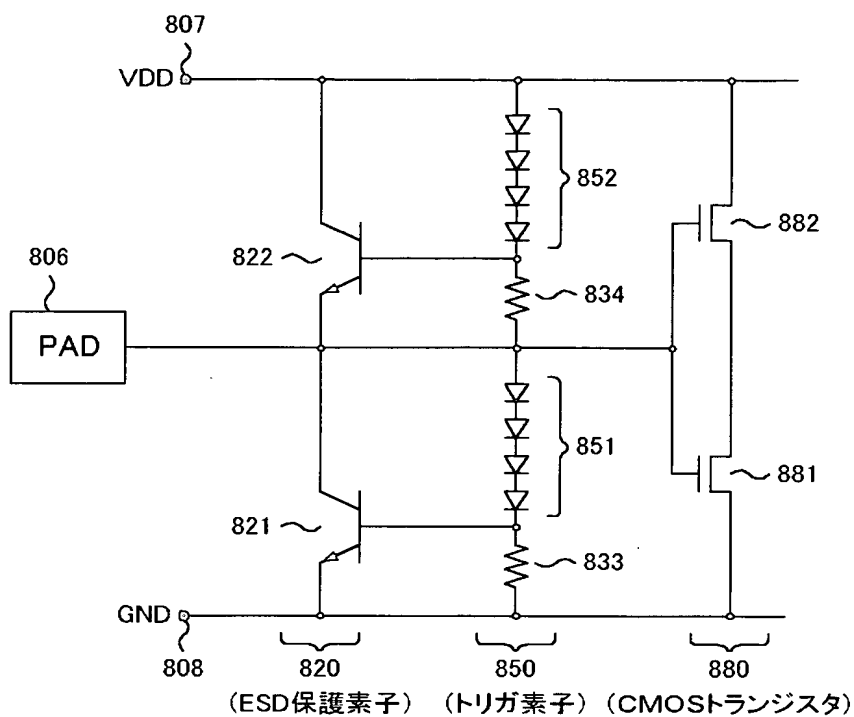
【図 14】



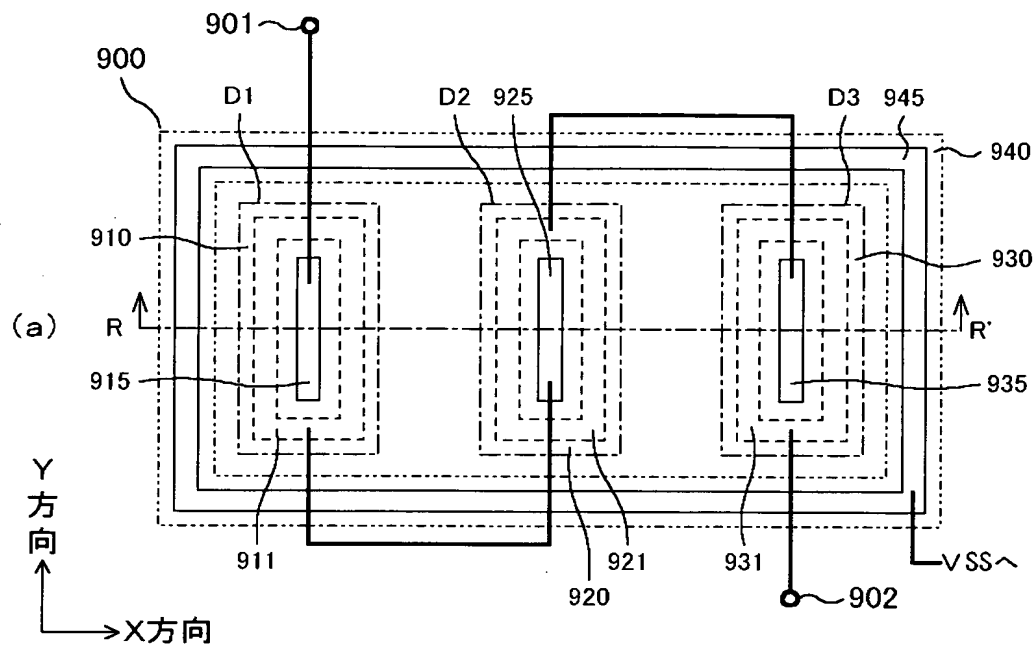
【図 15】



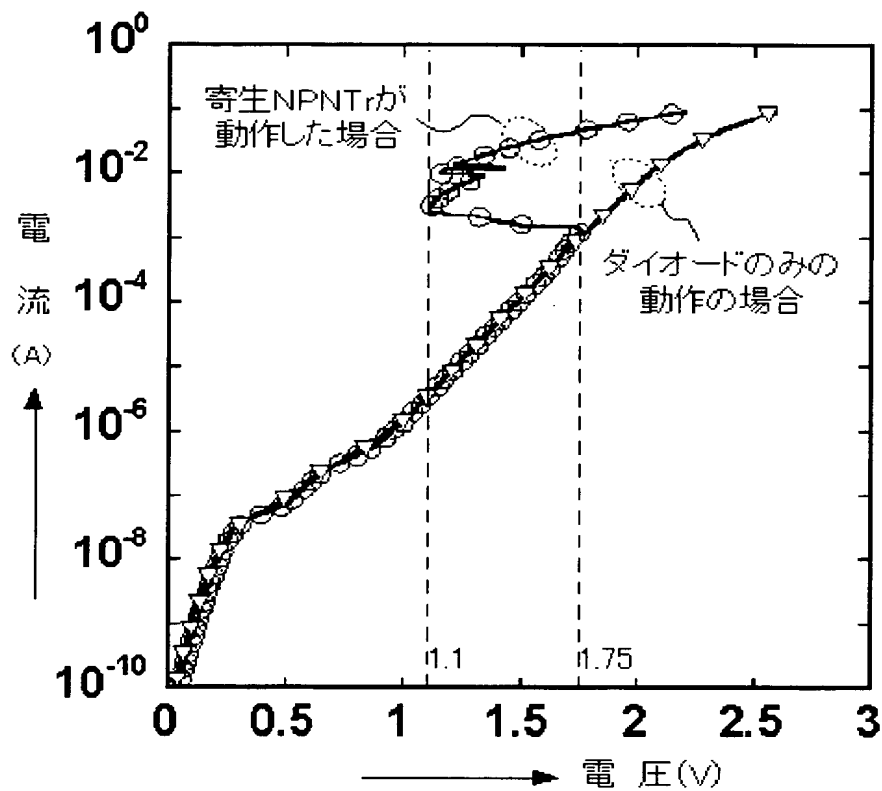
【図 16】



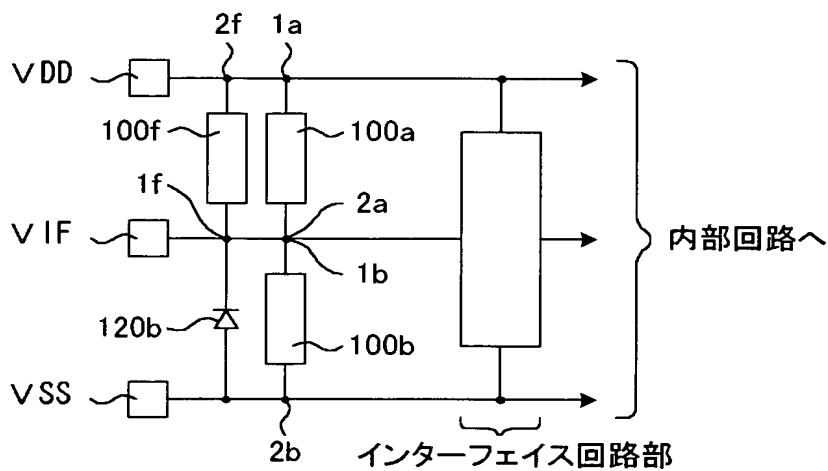
【圖 17】



【図18】



【図19】



インターフェイス回路部: 入力バッファ回路、
出力バッファ回路等

【書類名】 要約書

【要約】

【課題】 低電圧で保護動作可能で且つ付加される浮遊容量を抑制すると共に実使用状態でラッチアップの発生を抑制できる静電気保護素子を提供する。

【解決手段】 p 型シリコン基板 3 の主面側に M 個の n ウェル領域 nW と、隣り合う n ウェル領域 nW の間に p ウェル領域 pW を有し、更に M 個の n ウェル領域 nW が各々の内部に n 型拡散領域 nD と p 型拡散領域 pD1 を、又 p ウェル領域 pW がその内部に p 型拡散領域 pD2 を備え、j 番目の n ウェル領域 nW 内の n 型拡散領域 nD が (j + 1) 番目の n ウェル領域 10 内の p 型拡散領域 pD1 に、1 番目の n ウェル領域 nW 内の p 型拡散領域 pD1 が第 1 端子 1 に、M 番目の n ウェル領域 nW 内の n 型拡散領域 nD が第 2 端子 2 に、所望の被保護端子 (図示せず) と放電端子 (図示せず) の間の通常動作時における電位関係に依じてより高電位側に第 1 端子 1 が低電位側に第 2 端子 2 がそれぞれ接続される。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 3 0 8 2
受付番号	5 0 2 0 1 9 5 4 2 7 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 2 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成14年12月24日

次頁無

特願 2 0 0 2 - 3 7 3 0 8 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社